

ARQUITECTURA DE COMPUTADORES

INTERRUPCIONES

$$\text{Capacidad} = \text{freq}_{\text{INT}} \cdot I_{\text{INT}} = \frac{V_{\text{transf}}}{\text{Tam Buffer}} \times (\text{SRI} + \text{RTI})$$

$$\begin{aligned} t_{\text{total}} = t_{\text{op}} &= t_{\text{ini}} + \bar{t}_{\text{acc}}_{(\text{solo HDD})} + t_{\text{transf}} + t_{\text{int}} + t_{\text{fin}} = \\ &= t_{\text{ini}} + \bar{t}_{\text{acc}}_{(\text{solo HDD})} + \frac{\text{Tam Buffer}}{V_{\text{transf}}} + (t_{\text{RTI}} + t_{\text{SRI}}) + t_{\text{fin}} \end{aligned}$$

$$t_{\text{cpu}} = t_{\text{ini}} + N_{\text{INT}}^{\circ} \cdot t_{\text{int}} + t_{\text{fin}} = t_{\text{ini}} + \frac{\text{Tam Sector}}{\text{Tam Buffer}} \times (t_{\text{RTI}} + t_{\text{SRI}}) + t_{\text{fin}}$$

$$t_{\text{int}} = t_{\text{SRI}} + t_{\text{RTI}} = \frac{\text{Tam Buffer (RD)}}{V_{\text{transf}}} = \text{tiempo entre 2 interrupciones}$$

$$t_{\text{interrupción}} = \frac{V_{\text{transf}}}{\text{Tam Buffer (RD)}}$$

DMA

$$\text{Capacidad} = \text{freq}_{\text{robo}} \cdot I_{\text{robo}} = \frac{V_{\text{transf}}}{\text{Tam Buffer}} \times \left[(t_{\text{prot}} + N^{\circ} \text{RD} \cdot t_{\text{mem}}) \cdot \text{HIPS} \right]$$

$$\begin{aligned} t_{\text{op}} &= t_{\text{ini}} + \bar{t}_{\text{acc}}_{(\text{solo HDD})} + t_{\text{transf}} + \underbrace{t_{\text{último robo ciclo}}}_{*} + t_{\text{int}} = \quad \rightarrow * \text{ DMA por robo aislado} = 0 \\ &= t_{\text{ini}} + \bar{t}_{\text{acc}}_{(\text{solo HDD})} + \frac{\text{Tamaño Buffer}}{V_{\text{transf}}} + (t_{\text{prot}} + N^{\circ} \text{RD} \cdot t_{\text{mem}}) + (t_{\text{SRI}} + t_{\text{fin}}) \end{aligned}$$

$$\begin{aligned} t_{\text{cpu}} &= t_{\text{ini}} + N_{\text{robos}}^{\circ} \cdot t_{\text{robos}} + t_{\text{int}} = \\ &= t_{\text{ini}} + \frac{\text{Tam Sector}}{\text{Tam Buffer}} \cdot (t_{\text{prot}} + N^{\circ} \text{RD} \cdot t_{\text{memo}}) + (t_{\text{SRI}} + t_{\text{fin}}) \end{aligned}$$

$$t_{\text{op-total}} = N^{\circ} \text{Bloques ficheros} \times (t_{\text{op-HDD}}) + t_{\text{op}} \dots$$

DNA RAIDGAS

$$t_{op} = t_{ini} + t_{rafagas} + t_{transf} + t_{fin}$$

$$= t_{ini} + (N^{\circ} \text{Registros} \cdot t_{mem} + t_{prot}) + \frac{\text{Tam Buffer}}{V_{transf}} + t$$

$$N^{\circ} \text{rafagas} = \frac{\text{Tam Bloque}}{\text{Tam Buffer}} \left\{ \frac{\text{Tam Bloque}}{\text{Tam Palabra}} \right. \\ \left. N^{\circ} \text{Buffer} \right.$$

$$T_{rafaga} = N^{\circ} \text{registro} \cdot t_{acc} + t_{prot}$$

ANEXOS

$$\% \text{CPU ocupada} = \frac{t_{ocupada}}{t_{total}} \cdot 100$$

$$\% \text{CPU libre} = \frac{t_{total} - t_{ocupada}}{t_{total}} \cdot 100$$

$$N^{\circ} \text{Operaciones} = \frac{\text{Tam Fichero}}{\text{Tam Sector}}$$

$$t_{int} - "t_{solicitud}" = t_{RII} + t_{SEI}$$

1s	→	10^3 ms
1s	→	$10^6 \mu\text{s}$
1s	→	10^9 ns

Formulas: Memorias Cache'

• Direcciones físicas

Etiqueta	Conjunto	B/Bloque
----------	----------	----------

① $B/Bloque$

② $Conjunto = \frac{tamCache \cdot Bloque/B}{\frac{Bloque}{conjunto}}$

③ $Etiqueta = total - B/Bloque - conjunto$

• Tamaño Elementos (Bloques)

$$tam\ elemento = \frac{filas \times columnas \times 8B/elemento}{B/Bloque}$$

• Hit Ratio

$$H_r = \frac{N^{\circ} Accesos - N^{\circ} Fallos}{N^{\circ} Accesos}$$

• Tamaño Cache'

$$Bloques\ Cache' = tam\ cache \times \frac{Bloque}{B}$$

• Tiempo total y tiempo medio de acceso

$$t_{total} = N^{\circ} Aciertos \times t_{acierto} + N^{\circ} Fallos \times t_{fallo}$$

$$\bar{t}_{acc} = \frac{t_{total}}{N^{\circ} Accesos}$$

• Tamaño Elementos (Páginas)

$$tam\ elemento = \frac{filas \times columnas \times 8B/elementos}{B/página}$$

• Solapamiento

$$TLB = tam\ página = n^{\circ} bits$$

$$MCache = n^{\circ} bits (B/Bloque) + n^{\circ} bits (conjunto)$$

$$TLB < MCache$$

NO SOLAPAMIENTO

• Tiempo de Páginas

$$t_{\min}^{(acc/bcu)} = T_{TLB} + \underset{\substack{\uparrow \\ \text{con}}}{T_{TP'S}} \quad (\text{Sin Solapamiento})$$

$$t_{\max}^{(acc)} = T_{TLB} + T_{TP'S} + T_{mca} + T_{mp}$$

$$t_{\max}^{(ocup L)} = T_{TLB} + T_{TP'S} + t_{\text{fallo lectura}} + t_{mca}$$

$$t_{\max}^{(ocup E)} = T_{TLB} + T_{TP'S} + t_{\text{fallo escritura}} + t_{mca}$$

• Porcentajes

$$t_{\text{trad}} = T_{TLB} + (1 - H_{rTLB}) \times T_{TP'S}$$

$$t_{\text{inf}} = Pr_L \times t_{\text{inf}L} + Pr_E \times t_{\text{inf}E}$$

$$t_{\text{inf}}^{L/E} = T_{Mca} + (1 - H_{rMca}) \times [Pr_{\text{mod}} \times T_{mca \rightarrow mp} + t_{\text{fallo } yE}]$$

$$T_{\text{acc}} = t_{\text{trad}} + t_{\text{inf}}$$

2 (Junio 2014)

• CPU \rightarrow 1000 MIPS• $t_{acc} = 5ms$ * Interrupciones• $V_{elo} = 20 \cdot 10^6 \text{ bytes/s}$ • Registro Datos = $\frac{64 \text{ bits}}{\text{palabra}} \rightarrow 8 \text{ bytes}$ • $t_{SRI} = 5ns$

a) N° máximo de instrucciones en RTI

$$\text{Tiempo entre instrucciones} = \frac{\text{tamaño palabra}}{V_{transf}} = \frac{64 \text{ bits}}{20 \cdot 10^6 \frac{\text{bytes}}{s} \cdot \frac{8 \text{ bytes}}{1 \text{ palabra}}} = 0,000,0004s = 400 \text{ ns}$$

$$1s = 10^9 \text{ ns}$$

400ns — 2 HDD

(200ns) — 1 HDD

$$\text{Tiempo de una instrucción} = \frac{1000.000.000 \text{ I}}{s} \cdot \frac{1s}{10^9 \text{ ns}} = 1 \frac{\text{I}}{\text{ns}} \Rightarrow \frac{1 \text{ ns}}{\text{I}}$$

$$\text{Número Máximo Instr RTI} = \frac{t_{\text{interrupción}} - t_{SRI}}{t_{\text{instrucción}}} = \frac{200 \text{ ns} - 5 \text{ ns}}{1 \frac{\text{ns}}{\text{I}}} = 195 \text{ instrucciones}$$

b) un HDD

• Tarjeta Red interrupciones Buffer = 256 bits (4 palabras o 32 bytes)

• $RTI_{HDD} = 60 \text{ inst}$ • $RTI_{red} = 50 \text{ inst}$ • V_{red} máxima simultanea

$$\frac{\text{Número Inst}}{\text{segundo}} = \frac{20 \cdot 10^6 \frac{\text{bytes}}{s} \cdot \frac{8 \text{ bits}}{1 \text{ byte}}}{64 \frac{\text{bits}}{\text{Inst}}} = 2500.000 \frac{\text{Inst}}{s} = 2,5 \cdot 10^6 \frac{\text{Inst}}{s}$$

$$V_{HDD} \cdot (SRI_{HDD} + RTI_{HDD}) + V_{red} \cdot (SRI_{red} + RTI_{red}) \cdot \text{tamaño Buffer} < V_{cpu}$$

$$2,5 \cdot 10^6 \frac{\text{Inst}}{s} \cdot (5 + 60) + V_{red} \cdot (5 + 55) \cdot \frac{1 \text{ int}}{256 \text{ bits}} < 1000 \cdot 10^6 \frac{\text{int}}{s}$$

$$V_{red} = \frac{1000 \cdot 10^6 \frac{\text{int}}{s} - 2,5 \cdot 10^6 \frac{\text{int}}{s} \cdot (5 + 60)}{(5 + 55) \cdot \frac{1 \text{ int}}{256 \text{ bits}}} = 3898,181818 = 3898,18 \cdot 10^6 \frac{\text{bits}}{s}$$

3 (Junio 2014)

CPU \rightarrow 1000 MIPS

• SRI \rightarrow 5 ns

$$\cdot \frac{32 \text{ bits}}{\text{palabra}} = \frac{4 \text{ byte}}{\text{palabra}}$$

a) P1:

$$\cdot V_{\text{transf}} = 20 \cdot 10^6 \text{ bytes/s}$$

$$\cdot \text{Registro Datos} = \frac{32 \text{ bits}}{\text{inte}} = 4 \text{ byte/inte}$$

Módulo E/S

$$\cdot \text{Rutina Prog} = 100 \text{ inst}$$

$$\cdot \text{RSI} = 50 \text{ inst} = \text{RTI}$$

$$\cdot t_{\text{acc}} = 5 \text{ ns}$$

$$\cdot \text{Tamaño bloque} = 1024 \text{ bytes}$$

$$\cdot \text{Rutina Fin} = 90 \text{ inst}$$

a1) N° máximo P1?

$$\text{Capacidad P1} = \frac{V_{\text{transf}}}{\text{Tamaño Buffer}} \times (\text{SRI} + \text{RTI}) = \frac{20 \cdot 10^6 \text{ bytes/s}}{4 \text{ byte/inte}} \cdot (5 + 50) = 275 \cdot 10^6 \text{ inst/s}$$

$$\text{Número P1} = \frac{\text{Capacidad CPU}}{\text{Capacidad P1}} = \frac{10^9}{275 \cdot 10^6} = 3,63 \Rightarrow \underline{\underline{3 \text{ periféricas}}}$$

a.2) Tiempo op lectura

$$t_{\text{op}} = t_{\text{ini}} + t_{\text{acc}} + t_{\text{trauf}} + t_{\text{int}} + t_{\text{fin}} =$$

$$= 100 \text{ ns} + 5 \text{ ns} \cdot \frac{10^6 \text{ ns}}{1 \text{ ms}} + \frac{1024 \text{ byte}}{20 \cdot 10^6 \text{ byte/s}} \cdot \frac{10^9 \text{ ns}}{1 \text{ s}} + 50 \text{ ns} + 5 \text{ ns} + 90 \text{ ns} = 5051445 \text{ ns}$$

$$\downarrow$$

$$\underline{\underline{5,051445 \text{ ms}}}$$

b) P2 por ráfagas DMA

$$\cdot V_{\text{transf}} = 10^9 \text{ bits/s}$$

$$\cdot \text{Rini y fin} = 100 - 150 \text{ inst}$$

$$\cdot t_{\text{acc}} = 10 \text{ ns/palabra}$$

$$\cdot \text{Buffer de 4 registros de 32 bits}$$

$$\cdot t_{\text{protocolo}} = 2 \text{ ns}$$

$$\cdot 512 \text{ bytes/Bloques}$$

b1) N° ráfagas DMA durante t_{op}

$$\text{N° ráfagas} = \frac{\frac{\text{Tam Bloque}}{\text{Tam Palabra}}}{\text{N° Bloque}} = \frac{512 \frac{\text{Byte}}{\text{Bloque}} \cdot \frac{\text{Bloque}}{4 \text{ byte}}}{4} = 32 \text{ ráfagas}$$

b2) Tiempo de ráfaga

$$T_{\text{raf}} = \text{n° registro} \cdot t_{\text{acc}} + t_{\text{prot}} = 4 \cdot 10 \text{ ns} + 2 = 42 \text{ ns}$$

b3) Tiempo de operaci3n de P2

$$\begin{aligned}
 t_{op} &= t_{ini} + t_{rafaga} + t_{transf} + t_{fin} = \text{~~100 ns~~} \\
 &= 100 \text{ ns} + 42 \text{ ns} + \frac{512 \frac{\text{Byte}}{\text{bloque}} \cdot \frac{8 \text{ bits}}{1 \text{ byte}}}{10^9 \frac{\text{bits}}{\text{s}} \cdot \frac{15}{10^9 \text{ ns}}} + 150 \text{ ns} = 4.388 \text{ ns}
 \end{aligned}$$

c) Tiempo de transferencia de un fichero 4KB desde P1 a P2.

$$\begin{aligned}
 4 \text{ KB} \left\{ \begin{array}{l} \text{P1 } 1024 \text{ Byte/bloque} \\ \text{P2 } 512 \text{ Byte/bloque} \end{array} \right. &\rightarrow t_{ope} = 4 \cdot t_{opP1} + 8 \cdot t_{opP2}
 \end{aligned}$$

1 (Marzo 2014)

CPU $\rightarrow 32 \text{ bits/palabra} \rightarrow 4 \text{ byte/palabra}$

• 2000 MIPS

Unidad de Red

$$V_{trans} = 640 \cdot 10^6 \text{ bits/s}$$

• 1 registro 32 bits

$$t_{SRI} = 5 \text{ ns}$$

$$t_{RTI} = 20 \text{ ns}$$

a) tiempo de interrupci3n

$$t_{inst} = \frac{V_{transf}}{\text{Tau Buffer (RD)}} = \frac{640 \cdot 10^6 \frac{\text{bits}}{\text{s}}}{32 \frac{\text{bits}}{\text{inst}}} = 20 \cdot 10^6 \frac{\text{Interrup}}{\text{s}}$$

b) N3mero de perif3ricos

$$\text{Capacidad} = 20 \cdot 10^6 \frac{\text{interrup}}{\text{s}} \cdot (2.5 \frac{\text{inst}}{\text{int}} + 10 \frac{\text{inst}}{\text{int}}) = 250 \text{ MIPS}$$

$$N^{\circ} = \frac{2000}{250} = 8 \text{ unidades}$$

No FUERA

3 (Enero 2014)

CPU → 64 bits

• SRI → 10 inst

• 2000 MIPS

HDD

• $V_{transf} = 10^8 \text{ bytes/s}$

• $t_{acc} = 4 \text{ ms}$

• 1 Registro Datos 64 bits

• Tamaño Sector = 1024 bytes

Modulo E/S

• $R_{ini} = 100 \text{ inst}$

• $R_{fin} = 50 \text{ inst}$

• $RTI = 40 \text{ inst}$

a) Número de HDD a la vez

$$\text{Capacidad} = \frac{V_{transf}}{\text{Tamaño Buffer}} \times (SRI + RTI) = \frac{10^8 \text{ bytes/s} \cdot \frac{8 \text{ Bits}}{1 \text{ byte}}}{64 \text{ bits}} \times (10 + 40)$$

$$\text{Capacidad} = 625 \text{ MIPS}$$

$$N^{\circ} \text{ HDD} = \frac{2000 \text{ MIPS}}{625 \text{ MIPS}} = 3,2 \Rightarrow 3 \text{ dispositivos}$$

b) Tiempo de Operación y CPU

$$\frac{2000 \cdot 10^6 \text{ Inst}}{s} \cdot \frac{1s}{10^9 \text{ ns}} = 2 \frac{\text{Inst}}{\text{ns}} \Rightarrow 0,5 \text{ ns/inst}$$

$$\begin{aligned} t_{op} &= t_{ini} + t_{acc} + t_{transf} + t_{int} + t_{fin} = \\ &= 50 \text{ ns} + 4 \text{ ms} \cdot \frac{10^6 \text{ ns}}{1 \text{ ms}} + \frac{1024 \text{ byte}}{10^8 \text{ bytes/s} \cdot \frac{1s}{10^9 \text{ ns}}} + 5 \text{ ns} + 20 \text{ ns} + 25 \text{ ns} = \end{aligned}$$

$$t_{op} = 4.010.340 \text{ ns}$$

$$t_{cpu} = t_{ini} + N_{intemp} \cdot t_{int} + t_{fin} = 50 \text{ ns} + \frac{1024 \text{ byte}}{8 \text{ byte}} (5 + 20) + 25 \text{ ns} =$$

$$t_{cpu} = 3.275 \text{ ns}$$

c) Módulo E/S DMD \rightarrow 8 HDD simultaneos

$$\bullet t_{\text{prot}} = 2\text{ns}$$

$$\bullet t_{\text{acc}} = 2\text{ns}$$

Número máximo de ciclos

$$\begin{aligned} \text{Capacidad} &= \frac{V_{\text{transf}}}{T_{\text{am Buffer}}} \cdot [(t_{\text{prot}} + N^{\circ}_{\text{rd}} \cdot t_{\text{man}}) \cdot \text{MIPS}] \\ &= \frac{10^8 \frac{\text{byte}}{\text{s}} \cdot \frac{8\text{bits}}{\text{byte}}}{64\text{ bits}} \cdot \left[(2\text{ns} + 1 \cdot 2\text{ns}) \cdot 2 \cdot 10^9 \frac{\text{Inst}}{\text{s}} \right] \end{aligned}$$

$$\text{Capacidad} = 100 \text{ MIPS}$$

$$N^{\circ} \text{ HDD} = \frac{2000 \text{ MIPS}}{100 \text{ MIPS}} = 20 \text{ HDD}$$

d) Tiempo de lectura de un sector

$$t_{\text{cpu}} = t_{\text{ini}} + N^{\circ}_{\text{robo}} \cdot t_{\text{robo}} + t_{\text{fin}} = 50\text{ns} + \frac{1024 \text{ bytes}}{8 \text{ byte}} \cdot (2\text{ns} + 2\text{ns}) + 25\text{ns} + 5\text{ns}$$

$$t_{\text{cpu}} = 592\text{ns}$$

Red Ethernet

$$\bullet V_{\text{transf}} = 10^9 \text{ bits/s}$$

$$\bullet R_{\text{ini}} = 150 \text{ inst}$$

• Interrupciones

• Buffer de 4 RD de 64 bits

$$\bullet R_{\text{fin}} = 90 \text{ inst}$$

e) RTI con 8 HDD + 1 ethernet

$$C_{\text{cpu}} = 8 \cdot C_{\text{HDD}} + C_{\text{red}}$$

$$2000 = 8 \cdot 100 + C_{\text{red}} \Rightarrow C_{\text{red}} \leq 1200 \text{ MIPS}$$

$$\frac{10^9 \text{ bits/s}}{4 \cdot 64 \text{ bits}} \cdot (S_{\text{RI}} + R_{\text{TI}}) \leq 1200 \text{ MIPS}$$

$$39,062500 \cdot 10^6 + 39,06250 \cdot 10^6 \cdot R_{\text{TI}} \leq 1200 \text{ MIPS}$$

$$R_{\text{TI}} = 297 \text{ inst}$$

• RTI = 110 inst

f) t_{cpu} para transmitir un paquete de 1024 bytes

$$t_{cpu} = t_{ini} + N_{int} \cdot t_{int} + t_{fin}$$

$$= 75 \text{ ns} + \frac{1024 \text{ bytes}}{4 \cdot 8 \text{ bytes}} (5 + 55) + 45 \text{ ns} = 2040 \text{ ns}$$

g) % CPU ocupada con 4 HDD y 1 red

$$\begin{array}{lcl} 2000 \text{ MIPS} & \text{---} & 100 \% \\ 4 \text{ HDD y red} & \text{---} & x \% \end{array}$$

4 (octubre 2013)

CPU \rightarrow 32 bits \rightarrow 4 bytes

• 1000 MIPS $\rightarrow 1 \frac{\text{I}}{\text{ns}} \rightarrow \frac{1 \text{ ns}}{\text{I}}$

• SRI = 8 ns

HDD

$V_{transf} = 40 \cdot 10^6 \text{ bytes/s}$

• $t_{acc} = 5 \text{ ms} = 5 \cdot 10^6 \text{ ns}$

Tamaño Sector = 512 bytes

Módulo E/S interrupciones

$R_{ini} = 50 \text{ inst}$

$R_{fin} = 75 \text{ inst}$

RTI = 40 inst

Buffer 2RD de 32 bits

a) t_{cpu}

$$t_{cpu} = t_{ini} + N_{int} \cdot t_{int} + t_{fin} = 50 \text{ ns} + \frac{512 \text{ bytes}}{2 \cdot 4 \text{ byte}} (8 + 40) + 75 \text{ ns}$$

$t_{cpu} = 3197 \text{ ns}$

b) Número máximo de discos

$$\text{Capacidad} = \frac{40 \cdot 10^6 \text{ bytes/s}}{2 \cdot 4 \text{ bytes}} \cdot (8 + 40 \text{ inst}) = 240 \text{ MIPS}$$

$$N_{HDD}^{\circ} = \frac{1000 \text{ MIPS}}{240 \text{ MIPS}} = 4,16 \Rightarrow 4 \text{ HDD}$$

• $t_{\text{prot}} = 4 \text{ ns}$

• $t_{\text{acc}} = 2 \text{ ns}$

• $R_{\text{ini}} = 100 \text{ ns}$

• $R_{\text{fin}} = 150 \text{ ns}$

c) tiempo de CPU

$$t_{\text{op}} = t_{\text{ini}} + t_{\text{acc}} + t_{\text{transf}} + t_{\text{robo}} + t_{\text{int}}$$

$$= 100 \text{ ns} + 5 \cdot 10^6 \text{ ns} + \frac{512 \text{ bytes}}{40 \cdot 10^6 \frac{\text{byte}}{\text{s}} \cdot \frac{1 \text{ s}}{10^9 \text{ ns}}} + (4 + 2 \cdot 2 \text{ ns}) + 8 \text{ ns} + 150 \text{ ns}$$

$t_{\text{op}} = 5.013.066 \text{ ns}$

$$t_{\text{cpu}} = t_{\text{ini}} + N_{\text{robos}} \cdot t_{\text{int}} + t_{\text{fin}}$$

$$= 100 \text{ ns} + \frac{512 \text{ byte}}{2 \cdot 4 \text{ byte}} (8 + 40) + 150 \text{ ns} = 770 \text{ ns}$$

% CPU ocupada	100 %	5.013.066 ns
	x	770 ns
	<u>0'015%</u>	

d) N° máximo de HDD

$$C_{\text{HDD}} = \frac{40 \cdot 10^6 \text{ bytes/s}}{2 \cdot 4 \text{ Bytes}} \cdot \left[(t_{\text{prot}} + N^{\circ} \text{RD} \cdot t_{\text{acc}}) \cdot \text{MIPS}_{\text{CPU}} \right]$$

$$C_{\text{HDD}} = \frac{40 \cdot 10^6 \text{ bytes/s}}{2 \cdot 4 \text{ Bytes}} \cdot \left[(4 + 2 \cdot 2) \cdot 1000 \frac{\text{inst}}{\text{s}} \cdot \frac{1 \text{ s}}{10^9 \text{ ns}} \right] = 40 \text{ MIPS}$$

$$N^{\circ}_{\text{HDD}} = \frac{1000 \text{ MIPS}}{40 \text{ MIPS}} = 25 \text{ HDD}$$

Fichero 5 Kbytes

RED ETHERNET

- $V_{trans} = 10^9 \text{ bits/s}$

- 1 RD 32 bits

- R_{ini} y $R_{fin} = 50 \text{ inst}$ y 75 inst

- Tamaño Bloque 1 Kbyte

e) $t_{total} = t_{op HDD} + t_{op red} ?$

$$t_{op red} = t_{ini} + t_{tran} + t_{robo} + t_{fin} =$$

$$= 50 \text{ ns} + \frac{1 \text{ Kbyte} \cdot 8 \frac{\text{bits}}{\text{byte}}}{10^9 \text{ bits/s}} + (4 \text{ ns} + 1 \cdot 2 \text{ ns}) + 75 + 8 \text{ ns} =$$

$$t_{op red} = 833 \text{ ns}$$

$$N_{op HDD} = \frac{\text{Tamaño Fichero}}{\text{Tamaño Sector}} = \frac{5 \cdot 1024}{512} = 10 \text{ op}$$

$$t_{total} = 10 \cdot t_{op HDD} + t_{op red}$$

7 (Marzo 2013)

CPU $\rightarrow 64 \text{ bits} \rightarrow 8 \text{ byte}$

- SRI = 4 ns

- 2000 MIPS $\frac{2000 \cdot 10^6 \text{ I}}{s} \cdot \frac{1 \text{ s}}{10^9} = \frac{2 \text{ I}}{\text{ns}} = 0.5 \text{ ns/I}$

RED Interrupciones

- $V_{transm} = 10^9 \text{ bits/s}$

- 1 RD de 64 bits

- $R_{fin} = 200 \text{ inst}$

- Bloque: 64 - 1536 bytes

- $R_{ini} = 100 \text{ inst}$

- RTI = 24 inst

HDD DMM

- $V_{transf} = 10^8 \text{ bytes/s}$

- Tamaño Sector = 512 bytes

- $R_{ini} = 80 \text{ inst}$

- $t_{prel} = 2 \text{ ns}$

- $t_{acc} = 4 \text{ ms} \rightarrow 4 \cdot 10^6 \text{ ns}$

- 2 RD de 64 bits $\rightarrow 8 \text{ bytes}$

- $R_{fin} = 400 \text{ inst}$

- $t_{acc} = 1 \text{ ns}$

a) N° máximo de red Ethernet

$$C_{red} = \frac{10^9 \text{ bits/s}}{64 \text{ bits}} \cdot (24 + 8 \text{ inst}) = 500 \text{ MIPS} \Rightarrow 4 \text{ red}$$

b) N° máximo de HDD

$$C_{HDD} = \frac{10^8 \text{ byte/s}}{2 \cdot 8 \text{ byte}} \cdot (4 + 2 \cdot 2) = 50 \text{ MIPS} \Rightarrow 40 \text{ HDD}$$

c) t_{op} de red de 1.5 KB y t_{cpu}

$$\begin{aligned} t_{op} &= t_{ini} + t_{transf} + t_{int} + t_{fin} \\ &= 50 \text{ ns} + \frac{1536 \text{ Byte} \times \frac{8 \text{ bits}}{\text{byte}}}{10^9 \text{ bits/s} \cdot \frac{15}{10^9 \text{ ns}}} + (4 \text{ ns} + 12 \text{ ns}) + 100 \text{ ns} \end{aligned}$$

$$\boxed{t_{op} = 12454 \text{ ns}}$$

$$\begin{aligned} t_{cpu} &= t_{ini} + N_{int} \cdot t_{int} + t_{fin} \\ &= 50 \text{ ns} + \frac{1536 \text{ Byte}}{8 \text{ byte}} \cdot (12 \text{ ns} + 4 \text{ ns}) + 100 \text{ ns} = \end{aligned}$$

$$\boxed{t_{cpu} = 3222 \text{ ns}}$$

d) t_{op} de HDD de un sector y t_{cpu}

$$\begin{aligned} t_{op} &= t_{ini} + t_{acc} + t_{transf} + t_{robo} + t_{fin} = \\ &= 40 \text{ ns} + 4 \cdot 10^6 \text{ ns} + \frac{512 \text{ byte}}{10^8 \text{ byte/s} \cdot \frac{15}{10^9 \text{ ns}}} + (2 \text{ ns} + 2 \cdot 1 \text{ ns}) + (4 \text{ ns} + 200 \text{ ns}) = \end{aligned}$$

$$t_{op} = 4.005.368 \text{ ns}$$

$$t_{cpu} = t_{ini} + N_{robo} \cdot t_{robo} + t_{fin}$$

$$= 40 \text{ ns} + \frac{512 \text{ bytes}}{2 \cdot 8 \text{ byte}} \times (2 + 2 \cdot 1 \text{ ns}) + (4 + 200 \text{ ns}) =$$

$$\boxed{t_{cpu} = 372 \text{ ns}}$$

Fichero 15 KB
 Bloques 15 KB Ethernet
 e) top del ~~blo~~ fichero

12 (octubre 2012)

CPU → 32 bits/palabra

• 2000 MIPS

IP1

• $V_{transf} = 40 \text{ MB/s}$

• 1RD de 32 bits

• $SRI = 2n$

• $RTI \rightarrow 20 \text{ ns}$

a) Frecuencia de interrupción

$$Frec_I = \frac{V_{transf}}{T_{un RD}} = \frac{40 \text{ MB}}{s} \cdot \frac{1024 \text{ KB}}{1 \text{ MB}} \cdot \frac{1024 \text{ B}}{1 \text{ KB}} \cdot \frac{8 \text{ bits}}{1 \text{ B}} \cdot \frac{1 \text{ int}}{32 \text{ bits}} = 10.485.760 \frac{\text{int}}{s}$$

b) Duración máxima del RTI

$$\text{Periodo} = \frac{1}{Frec} = \frac{1}{10 \cdot 10^6 \frac{\text{int}}{s} \cdot \frac{15}{10^9 \text{ ns}}} = 100 \text{ ns}$$

$$\text{Duración Máxima RTI} = 100 \text{ ns} - \underset{\text{SRI}}{2 \text{ ns}} = 98 \text{ ns} \Rightarrow 196 \text{ instrucciones}$$

c) Número máximo de Pl

$$\text{Capacidad} = 10 \cdot 10^6 \frac{\text{int}}{s} \cdot (4 + 2p) = 440 \text{ MIPS}$$

$$N^{\circ} P_l = \frac{2000 \text{ MIPS}}{440 \text{ MIPS}} = 4,5 \Rightarrow 4 P_l$$

d) % CPU libre

2000 — 100%

1120 — × 56%

(P1) Int $R_{pr} = 50 \text{ inst}$ $R_{TI} = 40 \text{ inst}$ $R_{fin} = 20 \text{ inst}$

• $V_{transf} = 40 \text{ MB/s}$

• 2 KB/Bloque

• $t_{acc} = 5 \text{ ns}$

• Buffer 16 reg. Dat de 32 bits

(P2) DMA $R_{pro} = 40 \text{ inst}$ $R_{TI} = 50 \text{ inst}$ $t_{prot} = 2 \text{ ns}$ $t_{acc} = 10 \text{ ns}$ 0.5 KB/Bloque

• $V_{transf} = 10^9 \text{ bits/s}$

• 1 RD de 32 bits

(CPU)

• $2000 \text{ MIPS} \Rightarrow \frac{2 \text{ inst}}{\text{ns}} \rightarrow \frac{0.5 \text{ ns}}{\text{int}}$

• 32 bits/pol

• $SRI = 2 \text{ ns}$

a) Tiempo de Operación

(P1) $\Rightarrow t_{op} = t_{ini} + t_{acc} + t_{transf} + t_{int} + t_{fin} =$

$$= 25 \text{ ns} + 5 \cdot 10^6 \text{ ns} + \frac{2 \text{ KB} \cdot \frac{1024 \text{ B}}{1 \text{ KB}}}{40 \frac{\text{MB}}{\text{s}} \cdot \frac{1 \text{ s}}{10^9 \text{ ns}} \cdot \frac{1024 \text{ KB}}{1 \text{ MB}} \cdot \frac{1024 \text{ B}}{1 \text{ KB}}} + 2 \text{ ns} + 20 \text{ ns} + 10 \text{ ns} =$$

$$t_{op-P1} = 5.048.885,125 \text{ ns}$$

(P2) $\Rightarrow t_{op} = t_{ini} + t_{transf} + t_{roba} + t_{fin} =$

$$= 20 \text{ ns} + \frac{0.5 \text{ KB} \cdot \frac{1024 \text{ B}}{1 \text{ KB}} \cdot \frac{8 \text{ bits}}{1 \text{ B}}}{10^9 \frac{\text{bits}}{\text{s}} \cdot \frac{1 \text{ s}}{10^9 \text{ ns}}} + (2 + 1 \cdot 10) + 25 \text{ ns}$$

$$t_{op-P2} = 4.153 \text{ ns}$$

b) % CPU libre

$t_{cpu-P1} = t_{ini} + N_{int} \cdot t_{int} + t_{fin} =$

$$= 25 \text{ ns} + \frac{2 \text{ KB} \cdot \frac{1024 \text{ B}}{1 \text{ KB}}}{16 \cdot 32 \text{ bits} \cdot \frac{1 \text{ B}}{8 \text{ bits}}} \cdot (20 + 2) + 10 = 739 \text{ ns}$$

$$\frac{t_{op-P1} - t_{cpu-P1}}{t_{op-P1}}$$

$t_{cpu-P2} = t_{ini} + N_{roba} \cdot t_{roba} + t_{fin} =$

$$= 20 \text{ ns} + \frac{0.5 \text{ KB} \cdot \frac{1024 \text{ B}}{1 \text{ KB}}}{32 \text{ bits} \cdot \frac{1 \text{ B}}{8 \text{ bits}}} \cdot (2 + 1 \cdot 10) + 25 + 2 = 1583 \text{ ns}$$

x

c) Fichero de 10kd $P1 \rightarrow P2$. t_{total} ? %CPU libre

Daniel Melero Chaves

1 (Junio 2015)

CPU \rightarrow 64 bits / 8 byte

• Direcciones 40 bits

MCache

• Tamaño = 32 KB

• 32 Byte / Bloque

• $t_{acc} = 2 ns$

• 2 Bloque / conjunto

• Fallo _{escri} $\rightarrow t_{mp \rightarrow mca} + t_{mca}$

MP

• $t_{pal} = 40 ns$

• $t_{mp \rightarrow mca} = 60 ns$

• Vect = 1024 elementos

• vpar y vímpar = 512 elementos

1 instrucción / 8 bytes 1 elemento / 8 byte

• Código 4'000 000 1'000

• Vect 4'000 000 2'000 vpar - vímpar

a) Direcciones físicas y tamaño del código y vectores

Etiqueta	Conjunto	B/Bloque
----------	----------	----------

$$B/Bloque = 32 B/Bloque \Rightarrow \log_2(32) = 5 \text{ bits}$$

$$\text{Conjunto} = \frac{1 \text{ conjunto}}{2 \text{ bloques}} \cdot \frac{\text{bloque}}{32 \text{ Byte}} \cdot \frac{1024 \text{ B}}{1 \text{ KB}} \cdot 32 \text{ KB} = 512 \text{ conj} \Rightarrow \log_2(512) = 9 \text{ bits}$$

$$\text{Etiqueta} = 40 - 5 - 9 = 26 \text{ bits}$$

$$\text{tamaño código} = 15 \text{ instrucciones} \times \frac{8 \text{ byte}}{\text{instruc}} \times \frac{\text{Bloque}}{32 \text{ Byte}} = 3,75 \rightarrow \underline{4 \text{ Bloques}}$$

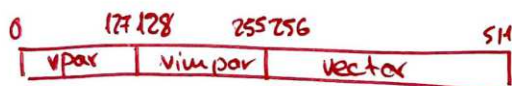
$$\text{tamaño vector} = 1024 \text{ elementos} \times \frac{8 \text{ byte}}{\text{elemento}} \times \frac{\text{Bloque}}{32 \text{ Byte}} = 256 \text{ Bloques}$$

$$\text{tamaño vpar y vimp} = 512 \text{ elementos} \times \frac{8 \text{ byte}}{\text{elemento}} \times \frac{\text{Bloque}}{32 \text{ Byte}} = 128 \text{ Bloques}$$

b) Ubicación del código y vectores

código = H' 0000 0010 00

vector = H' 00 0000 2000



Conjunto 128

..... 0000 0010 0000 0010 0000

Conjunto 256

0000 0010 0000 0010 0000

c) Hit Ratio de las caches

Instrucciones

$$\text{Accesos} = 5 + 10 \cdot \text{veces bucle} = 5125$$

$$\text{Nº Fallos} = 4 \text{ bloques} - 1 \text{ por Bloque} = 4 \text{ fallos}$$

$$\text{Hit Ratio} = \frac{5125 - 4}{5125} = 99,92\%$$

Datos

$$\begin{array}{l} \text{lecturas} \quad \text{Escrituras} \\ 2 \times 512 + 2 \times 512 = 2048 \text{ accesos} \end{array}$$

$$\text{Nº Fallos}_{(1^{\text{º}} \text{ Referencia})} = 512 \text{ fallos}$$

$$\text{Hit Ratio} = \frac{2048 - 512}{2048} = 75\%$$

d) \bar{t}_{acc} (instrucciones y datos)

Datos $\left\{ \begin{array}{l} t_{acc} \\ \text{lectura} \\ t_{acc} \\ \text{escr} \end{array} \right.$

Instrucciones

$$\bar{t}_{acc} = t_{acc} + (1 - HR_I) \times t_{mp} = 2 + (0.0008 \times 40) = 2.03 \text{ ns}$$

Datos

50% lectura y 50% escritura

$$\bar{t}_{acc} = 0.5 \cdot t_{lect} + 0.5 \cdot t_{escr}$$

$$t_{lect} = t_{acc} + (1 - HR) \times t_{mp} = 2 + (1 - 0.75) \cdot 40 = 12 \text{ ns}$$

$$t_{escr} = t_{acc} + (1 - HR) \times (t_{mp \rightarrow mca} + t_{ca}) = 2 + (1 - 0.75) \times (60 + 2) = 17.5 \text{ ns}$$

$$\bar{t}_{acc} = 0.5 \cdot 12 \text{ ns} + 0.5 \cdot 17.5 \text{ ns} = 14.75 \text{ ns}$$

2 (Junio 2015)

• 16 KB/página

• $t_{acc} = 1 \text{ ns}$

• TLB inst y TLB datos

• 3 niveles

a) $t_{acc_{min}}$ y $t_{acc_{max}}$?

$$t_{acc_{min}} = t_{TLB} \quad (\text{porque se puede solapar}) = 2 \text{ ns}$$

$$t_{acc_{max}} = t_{TLB} + \overbrace{n^{\circ} \text{ nivel} \times t_{TP'S}}^{t_{TP'S}} + t_{mca} + t_{mca \rightarrow mp} + \overbrace{t_{mp \rightarrow mca} + t_{mca}}^{t_{fallo}}$$

$$= 1 + 3 \times 40 + 2 + 60 + 60 + 2 = 245 \text{ ns}$$

b) ~~Tamaño código y vectores~~ mínimo entradas TLB

$$\text{tamaño código} = \cancel{15 \text{ instrucciones}} \times \cancel{8 \text{ Bytes}} \times \cancel{1 \text{ KB}} \times \cancel{1024 \text{ Bytes}} \times \cancel{16 \text{ KB}}$$

- Ni el código ni los vectores están alineados, por tanto 4 páginas de TLB

11 (Junio 2014)

$$\text{CPU} \rightarrow 64 \text{ bits/pala} = 8 \text{ bytes/palabra}$$

$$t_{\text{acc}} = 40 \text{ ns}$$

- Espacio direcciones 4 TB

[Cache]

$$\text{Tamaño} = 32 \text{ KB}$$

$$t_{\text{acc}} = 2 \text{ ns}$$

$$\text{Fallo} \rightarrow t_{\text{tmp lectura}} + t_{\text{tmp} \rightarrow \text{mcache}} =$$

$$t_{\text{tmp}} = 40 \text{ ns}$$

$$32 \text{ B/Bloque}$$

$$\frac{2 \text{ Bloque}}{\text{conjunto}}$$

$$t_{\text{tmp} \rightarrow \text{mcache}} = 55 \text{ ns}$$

VS H'0....02000

MA: H'0....04000

MB: H'0....08000

a) Direcciones físicas

$$4 \text{ TB} \Rightarrow 2^{42} \Rightarrow 42 \text{ bits direcciones}$$



$$\frac{32 \text{ B}}{\text{Bloque}} = 5 \text{ bits}$$

$$\text{Conjunto} = \frac{1 \text{ conjunto}}{2 \text{ Bloques}} \times \frac{1 \text{ Bloque}}{32 \text{ B}} \times \frac{1024 \text{ B}}{1 \text{ KB}} \times 32 \text{ KB} = 512 \text{ conju} \Rightarrow 9 \text{ bits}$$

$$\text{Etiqueta} = 42 - 9 - 5 = 28$$

b) Tamaño de los elementos. Conjunto donde se ubican.

$$\text{Tamaño VS Bloque} = 32 \text{ elementos} \times \frac{8 \text{ Byte}}{\text{elemento}} \times \frac{\text{Bloque}}{32 \text{ B}} = 8 \text{ Bloques}$$

$$\text{Tamaño m\Delta y mB Bloque} = (32 \times 32) \text{ elementos} \times \frac{8 \text{ Byte}}{\text{elemento}} \times \frac{\text{Bloque}}{32 \text{ B}} = 256 \text{ Bloques}$$

$$\text{Tamaño Bloque} = 2 \times 256 + 8 = 520 \text{ bloques}$$

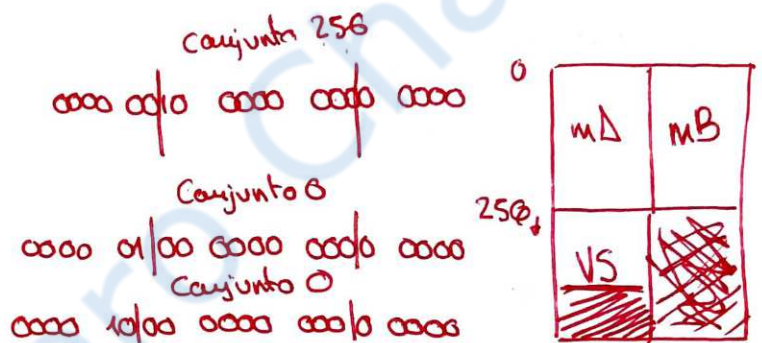
$$\text{Tamaño cache} = 32 \text{ KB} \cdot \frac{1024 \text{ B}}{1 \text{ KB}} \cdot \frac{\text{Bloque}}{32 \text{ B}} = 1024 \text{ bloques}$$

entran los datos

$$\text{VS} \Rightarrow \text{H'0...02000}$$

$$\text{m\Delta} \Rightarrow \text{H'0...04000}$$

$$\text{mB} \Rightarrow \text{H'0...08000}$$



c) Tipos de Fallos. Reemplazo de Bloques?

Al haber hueco en la cache y que ningun elemento se solape con otro solo se produciran fallos de 1° Referencia: 520 fallos

d) N° accesos, N° fallos y HitRatio

$$\begin{array}{cc} \text{Lectura} & \text{Escritura} \\ 3 \times 32 \times 32 + 32 \times 32 + 32 = 4128 \text{ accesos} & / 520 \text{ fallos} \end{array}$$

$$\text{HitRatio} = \frac{4128 \text{ accesos} - 520 \text{ fallos}}{4128 \text{ accesos}} \times 100 = 87,4 \%$$

e) Tiempo total accesos y \bar{T}_{acc}

$$\begin{aligned} t_{\text{total}} &= N^{\circ} \text{aciertos} \times t_{\text{acierto}} + N^{\circ} \text{fallos} \times t_{\text{fallo}} \\ &= (4128 - 520) \times 2 \text{ ns} + 520 \text{ f.} \cdot (2 + 40) \text{ ns} = 29056 \text{ ns} \end{aligned}$$

$$\bar{T}_{acc} = \frac{29056 \text{ ns}}{(4128 - 520)} = 8,05 \text{ ns}$$

f) Código modificado

f1) H_{Ratio} , t_{total} y \bar{t}_{acc}

$$\begin{array}{c} \text{Lectura} \quad \text{Escritura} \\ 32 \times 32 \times 2 + 32 \end{array} = 2080 \text{ Accesos} \quad \text{Fallos} = 520 \text{ fallos}$$

$$HitRatio = \frac{2080 - 520}{2080} = 75\%$$

$$\begin{aligned} t_{total} &= N_{aciertos} \times t_{acierto} + N_{fallos} \times t_{fallo} = \\ &= (2080 - 520) \times 2 + 520 \times (2 + 40) = 24960 \text{ ns} \end{aligned}$$

$$\bar{t}_{acc} = \frac{24960 \text{ ns}}{2080} = 12 \text{ ns}$$

f2) Ganancia o Speedup

$$Speedup = \frac{29056 \text{ ns}}{24960 \text{ ns}} = 1,16$$

2 (Junio 2014)

• 4 KB/página

• 1 entrada/página

• 4 niveles

• 16 $\frac{\text{entradas}}{\text{TLB}}$

• $t_{acc} = 1 \text{ ns}$

a) Número de entradas TLB

$$Tamaño_{VS} = 32 \text{ elementos} \times \frac{8B}{\text{elemento}} \times \frac{1KB}{1024B} \times \frac{\text{pagina}}{4KB} = 0,06 = 1 \text{ página}$$

$$Tamaño_{MA y MB} = (32 \times 32) \text{ elementos} \times \frac{8B}{\text{elemento}} \times \frac{1KB}{1024B} \times \frac{\text{pagina}}{4KB} = 2 \text{ páginas}$$

Total páginas = 5 páginas

b) t_{\max}^{acc} , t_{\min}^{acc} , t_{\max}^{ocup} y t_{\min}^{ocup}

$$t_{\min}^{\text{acc/ocup}} = t_{\text{TLB}} + t_{\text{cache}} = 2 + 1 = 3 \text{ ns}$$

$$t_{\max}^{\text{acc}} = T_{\text{TLB}} + t_{\text{mca}} + t_{\text{mp}} + T_{\text{TP'S}} = 1 + 4 \times 40 + 2 + 40 = 203 \text{ ns}$$

$$t_{\max}^{\text{ocup lec}} = T_{\text{TLB}} + t_{\text{TP'S}} + t_{\text{fallo}} = T_{\text{TLB}} + t_{\text{TP'S}} + t_{\text{mca}} + T_{\text{mp}} + t_{\text{mca}} =$$

$$t_{\max}^{\text{ocup esc}} = T_{\text{TLB}} + T_{\text{TP'S}} + t_{\text{mca}} + t_{\text{mp}} + t_{\text{mp}} + t_{\text{mca}}$$

1 (Abril 2014)

CPU → 64 bits/palabra

• Direcciones de 40 bits

Memoria Cache

• Tamaño = 64 KB

• 64B/Bloque

• $t_{\text{acc}} = 2 \text{ ns}$

• 4 Bloques/conjunto

• Fallo → $t_{\text{mp} \rightarrow \text{mcache}} + t_{\text{mcache}}$

• $t_{\text{mp}} = 50 \text{ ns}$

• $t_{\text{mp} \rightarrow \text{mca}} = 65 \text{ ns}$

A = 512 bloque → C → B

a) Tamaño Elementos. Entran en cache?

$$\text{tamaño matriz A y C} = (64 \times 32) \text{ elementos} \times \frac{8 \text{B}}{\text{elemento}} \times \frac{\text{Bloque}}{64 \text{B}} = 256 \text{ Bloques}$$

$$\text{tamaño matriz B} = 32 \text{ elementos} \times \frac{8 \text{B}}{\text{elemento}} \times \frac{\text{Bloque}}{64 \text{B}} = 8 \text{ Bloques}$$

$$\text{total Bloques} = 256 \times 2 + 32 = 544 \text{ bloques} \quad \text{OK}$$

$$\text{tamaño cache} = 64 \text{ KB} \cdot \frac{1024 \text{B}}{1 \text{ KB}} \times \frac{\text{Bloque}}{64 \text{B}} = 1024 \text{ bloques}$$

b) Direcciones y ubicación elementos

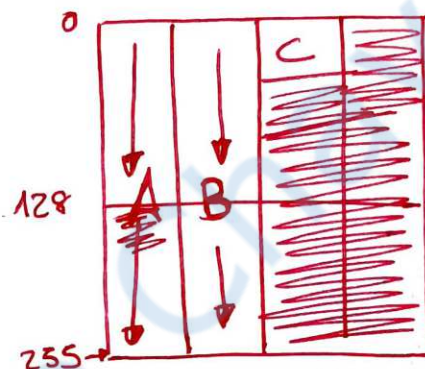


40 bits

$$B/Bloque = 64B/Bloque = \cancel{64} 6 \text{ bits}$$

$$conjunto = \frac{conjunto}{4Bloques} \times \frac{bloque}{64B} \cdot \frac{1024B}{1KB} \times \frac{64B}{1} = 256 \Rightarrow 8 \text{ bits}$$

$$Etiqueta = 40 - 6 - 8 = 26 \text{ bits}$$



c) Número Aciertos, Número Fallos y HitRatio

~~Accesos~~ Lectura Escritura

$$2 \times 32 \times 64 + 32 \times 64 = 6144 \text{ accesos}$$

$$\text{Número Fallos} = (1^\circ \text{ Referencia}) = 256 \times 2 + 32 = 544 \text{ fallos}$$

$$\text{Número Aciertos} = 6144 - 544 = 5600 \text{ aciertos}$$

$$\text{HitRatio} = \frac{\cancel{6144} 5600}{6144} = 91,1\%$$

[2 (Junio 2014)]

T2.5

• 4KB/página

• 3 niveles

• $t_{acc} = 1ns$

a) Número de entradas en la TLB

$$\begin{array}{l} \text{tamaño} \\ \Delta y C \\ \text{(páginas)} \end{array} = (64 \times 32) \text{ elementos} \times \frac{8B}{\text{elemento}} \times \frac{1KB}{81024B} \times \frac{\text{página}}{4KB} = 4 \text{ páginas por colocación (1)}$$

$$\begin{array}{l} \text{tamaño} \\ B \end{array} = 32 \text{ elementos} \times \frac{8B}{\text{elemento}} \times \frac{1KB}{1024B} \times \frac{\text{página}}{4KB} =$$

b) Tiempos

• Como no hay solapamiento

$$t_{\min}^{\text{acc}} = t_{TLB} + t_{mca} = 1 + 2 = 3ns$$

$$t_{\max}^{\text{escr}} = t_{TLB} + t_{TPIS} + t_{mca} + t_{mca \rightarrow mp} + t_{mp \rightarrow me} + t_{mca}$$

t_{\max}

1 (Junio 2015)

E1: Fetch y PC++

E2: Decodificación, lectura, cálculo dir saltos

E3: Ejecución, cálculo dir load/store y evaluación cond salto

E4: Acceso a memoria

E5: Escritura en registros

```
for (i=0; i<1000; i++){
    if ((VCi%2)==0)
        par[j++] = VCi;
    else
        impar[k++] = VCi;
}
```

- (1) addu r6, r0, 0
- (2) BUC: ld r3, r10, 0
- (3) bbl 0, r3, IMPAR
- (4) **NUNCA** st r3, r11, 0
- (5) addu r11, r11, 4
- (6) br FINBUC
- (7) IMPAR: st r3, r12, 0
- (8) addu r12, r12, 4
- (9) FINBUC: addu r10, r10, 4
- (10) addu r6, r6, 1
- (11) cmp r7, r6, 1000
- (12) bbl lt, r7, BUC

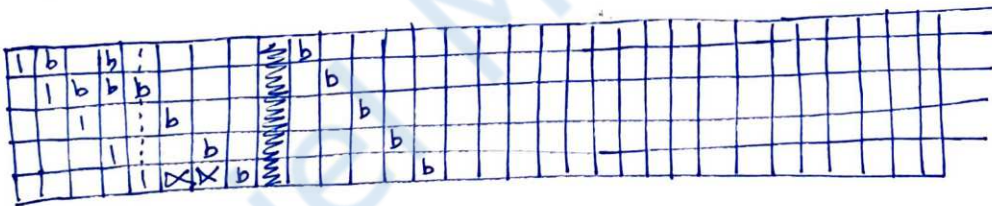
Sin adelantamientos

1
1 + 2h
1 + 2h
1
1
1 + 1h
1
1
1
1
1 + 2h
1 + 2h
1 + 2h

Con adelantamientos

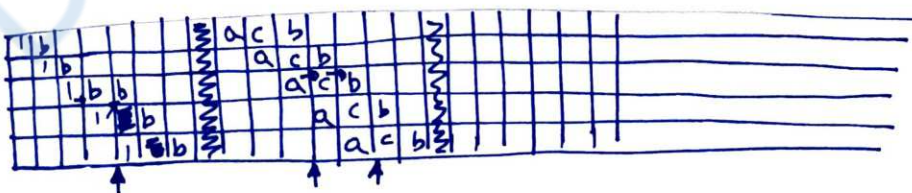
1
1 + 1h
1 + 2h
1
1
1 + 1h
1
1
1
1
1
1
1 + 2h

a) Dependencias con y sin adelantamientos



(2)-(3) = 3h - semiciclo = 2h
(10)-(11) = 3h - semiciclo = 2h
(11)-(12) = 3h - semiciclo = 2h

(3) = 2h salto condicional
(6) = 1h salto incondicional
(12) = 2h salto condicional



(2)-(3) = MEM - ALU = 1 ciclo
(10)-(11) = ALU - ALU = 0 ciclos
(11)-(12) = ALU - ALU = 0 ciclos

b) Números de ciclos

$$N_{\text{ciclos}} = 1 + 1000 (0.5 \cdot (8 + 5h) + 0.5 \cdot (9 + 6h)) = \underline{14001 \text{ ciclos}}$$

c) CPI

$$CPI = \frac{N^{\circ} \text{ciclos huecos}}{N^{\circ} \text{ciclos sin huecos}} = \frac{14001 \text{ ciclos}}{8501 \text{ ciclos}} = 1.64$$

d) Estrategia de Salto (delay-slot-1) [Salto retardado]. (E2) cálculo dir y verificación

- Indicar cuantos nop para una buena ejecución
- Número de ciclos
- Speedup

$$E2 - E1 \Rightarrow \text{Saltos} \Rightarrow 1h \Rightarrow 1 \text{ nop}$$

$$(2) \rightarrow (3) = \text{MEM} - \Delta L U = E4 - E2 = 2 \text{ hw}$$

$$(10) \rightarrow (11) = \Delta W - \Delta L U = E3 - E3 = 0 \text{ ciclos}$$

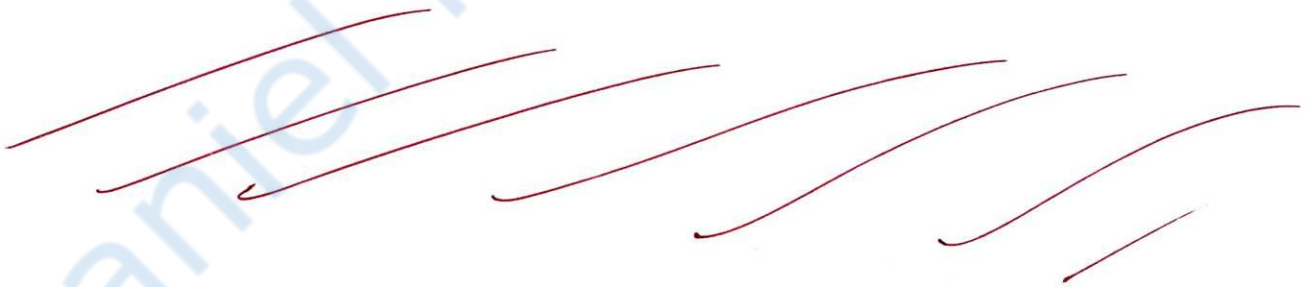
$$(11) \rightarrow (12) = \Delta W - \Delta L U = E3 - E2 = 1 \text{ ciclo}$$

$$N_{\text{ciclos}} = 1 + 1000 (0.5 \cdot (8 + 3h + 1 \text{nop}) + 0.5 (9 + 3h + 2 \text{nop})) = 14001$$

+1h +1h

$$\text{Speedup} = \frac{\text{original}}{\text{mejorado}} = \frac{14001}{14001} = \textcircled{1}$$

e) Modificaciones, número de ciclos y speedup



(1) add r10, r0, r0
 (2) BUCI: add r11, r0, r0
 (3) BUCJ: ld r20, #(r15)
 (4) ld r21, #(r16)
 (5) sub r2, r20, r21
 (6) bge r2, \$SIGJ
 (7) st r21, 0(r15)
 (8) SIGJ: add r15, r15, #4
 (9) add r16, r16, #4
 (10) add r11, r11, #1
 (11) cmp r2, r11, N
 (12) blt r2, \$BUCJ
 (13) add r10, r10, #1
 (14) cmp r2, r10, H
 (15) blt r2, \$BUCI
 (16) add r25, r0, r0

1
 1
 1
 1 + 1h
 1 + 1h
 1 + 2h (si salta)
 1
 1
 1
 1
 1 + 1h
 1 + 2h (si salta)
 1
 1 + 1h
 1 + 2h (si salta)
 1

a) Dependencias y Ciclos de parada para A y B

Datos

(4)-(5) MEM-DW 1h

(5)-(6) DW-EVA 1h

~~(10)-(11) ALU-EVA 1h~~

(11)-(12) ALU-EVA 1h

(14)-(15) ALU-EVA 1h

b) Huecos en Proc A (salto) Tama/No Tama

No Tama - 0h

Tama - 2h

c) Ciclos Totales $N=N=100$ IG 40% Si

$$\text{Ciclos} = 1 + 100 \cdot [1 + 0.4 \cdot (9 + 7h) + 0.6 \cdot (10 + 5h)] + 3h + 3 + 1$$

4) ciclos

(1)	add	r4, r0, #100	1	; cont = 100
(2)	or	r3, r0, #3000	1	; dir v3
(3)	or	r2, r0, #2000	1	; dir v2
(4)	or	r1, r0, #1000	1	; dir v1
(5)	buc: ld	r11, r1, r0	1+1h	; lee v1[i]
(6)	add	r11, r11, r11	1	
(7)	ld	r12, r2, r0	1+1h	; lee v2[i]
(8)	add	r12, r12, r12	1	
(9)	sub	r13, r12, r11	1	
(10)	st	r13, r3, r0	1	; v3[i] = 2*v2[i] - 2*v1[i]
(11)	add	r1, r1, 4	1	
(12)	add	r2, r2, 4	1	
(13)	add	r3, r3, 4	1	
(14)	sub	r4, r4, 1	1	
(15)	cmp	r13, r4, r0	1	; ¿r4=0? ⇒ r13
(16)	bgt	r13, #0, buc	1	+1h ✓ +2h x
(17)	add	r11, r16, r17	1	

- * Se ejecuta en un procesador con pipeline de 5 etapas, adelantamientos predicción estática de salto efectivo ① buscación retardada ②

E1: Fetch

EZ: Dec, Lect Reg Calculo Dir Salto

E3: Ejecución, cálculos cond y div nem datos

E4: Mem Dabos

ES: Esc. Reg

① Acierto Predicción: 1 parón

Fallo Predicción: 2 parones

② Acierto : 0 parones

Falso: 1 paraf

a) Dependencias, parones y CPI Dependencias

Dependencias

b) Reorganización de código y CPI

a)

F
DLR
EJ
MEM
ER

a)

ALU - Mem																					
add	or	or	or	ld	add	ld	add	add	sub	st	st	add	add	add	sub	cmp	bgt	-	d.v	dx	
	add	or	or	or	ld	add	ld	ld	add	sub	sub	st	add	add	add	sub	cmp	bgt	-	d.v	dx
ALU-ALU	add	or	or	or	ld	add	add	ld	add	add	sub	st	add	add	add	sub	cmp	bgt	-	d.v	dx
	add	or	or	or	ld	-	add	ld	-	add	sub	st	add	add	add	sub	cmp	bgt	-	d.v	dx
	add	or	or	or	ld	-	add	ld	-	add	sub	st	add	add	add	sub	cmp	bgt	-	d.v	dx
	add	or	or	or	ld	-	add	ld	-	add	sub	st	add	add	add	sub	cmp	bgt	-	d.v	dx

Hen- Δ LV

 $\Delta U - \Delta U$

ALU-ALU

$$CPI = \frac{\text{ciclos}}{\text{Instrucciones}} = \frac{4 + (12 + 3h) \cdot N + 1h + 1}{4 + 12 \cdot N + 1} = 1,25$$

\uparrow
 $N=100$

$n = 100$

b) • Intercambiamos las líneas 6-7

- La línea 13 la ejecutamos después de la 16 por la bifurcación retardada

$$CPI = \frac{4 + 12 \cdot N + 14 + 1}{4 + 12 \cdot N + 1} = 1$$

2) Ejecución Reg-Reg, 5 Etapas, 500 MHz

E1: Fetch
E2: DLR, Condiciones y Dir Salto
E3: Ejecución y dir ld/st
E4: Mem Datos
E5: Escritura Reg

16Hz

E1: Fetch 1 TLBI
E2: Fetch 2 MCAI
E3: DLR
E4: Ejecución, cond y dir salto, dir ld/st
E5: Mem Datos 1 TLBI
E6: Mem Datos 2 MCAI
E7: Escritura Reg

* Bifurcación retardada

(1) ld r1, r10, r0
ld r3, r11, 0
ld r2, r12, 0

a) Calcule MIPS de pico de cada uno y ganancia teórica

bvc: add r1, r1, r2 \rightarrow Mem-ALU $1+1h$
add r1, r1, r3 \rightarrow ALU-ALU $1+0h$
sub r4, r4, 1 \rightarrow ALU-EPZ $1+1h$

$500 \cdot 10^6 \text{ Hz} \cdot \frac{1 \text{ inst}}{\text{ciclo}} = 500 \text{ MIPS}$
 $1000 \cdot 10^6 \text{ Hz} \cdot \frac{1 \text{ inst}}{\text{ciclo}} = 1000 \text{ MIPS}$

Ganancia = $\frac{1000 \text{ MIPS}}{500 \text{ MIPS}} = 2$

beg r4, r0, \$fin \rightarrow Mem-ALU $1+1h$
ld r6, r8, 0 \rightarrow Mem-ALU $1+1h$
add r2, r2, r6 \rightarrow Mem-ALU $1+1h$
ld r6, r9, 0 \rightarrow Mem-ALU $1+1h$
add r3, r3, r6 \rightarrow Mem-ALU $1+1h$
add r8, r8, 4
add r9, r9, 4
br bvc \rightarrow $1+1h$
fin: st r1, r11, 0
and r1, r1, 0

b) Evaluar la ganancia real sobre el código

5

ld ld ld add add sub sub beg - - - dest mmmmm add br - - - dest
ld ld ld add add add sub beg beg - - - dest mmmmm add br - - - dest
ld ld ld add add add sub - - - beg - - - dest mmmmm add br - - - dest
ld ld ld - - - add add sub - - - beg - - - dest mmmmm add br - - - dest
ld ld ld - - - add add sub - - - beg - - - dest mmmmm add br - - - dest

$$CPI_5 = \frac{3 + 1h + (11 + 5h) \cdot (N-1) + 4 + 2h + 2}{3 + 11(N-1) + 4 + 2} = 1,45$$

7

F1 ld ld ld add add sub beg beg - - - dest mmmmm add br - - - dest
F2 ld ld ld add add sub sub sub beg - - - dest mmmmm add br - - - dest
add ld ld ld add add add add sub beg - - - dest mmmmm add br - - - dest
E1 ld ld ld add add add add sub beg - - - dest mmmmm add br - - - dest
D1 ld ld ld - - - add add sub beg - - - dest mmmmm add br - - - dest
D2 ld ld ld - - - add add sub beg - - - dest mmmmm add br - - - dest
ER ld ld ld - - - add add sub beg - - - dest mmmmm add br - - - dest

Mem-ALU $1+2h$
ALU-ALU $1+0h$

$$CPI_7 = \frac{3 + 2h + (11 + 10h) \cdot (N-1) + 4 + 3h + 2}{3 + 11(N-1) + 4 + 2} = 1,91$$

* Como los procesadores van a distinta velocidad hay que estudiar los datos

$$500 \text{ MIPS} = \frac{10^9 \text{ ns/s}}{500 \cdot 10^6 \text{ inst/s}} = 2 \text{ ns/ciclo}$$

$$1000 \text{ MIPS} = \frac{10^9}{1000 \cdot 10^6} = 1 \text{ ns/ciclo}$$

$$5 \text{ etapas: } 1,45 \text{ ciclos/inst} \cdot 2 \text{ ns/ciclo} = 2,9 \text{ ns/inst}$$

$$7 \text{ etapas: } 1,91 \text{ ciclos/inst} \cdot 1 \text{ ns/ciclo} = 1,91 \text{ ns/inst}$$

$$\text{Ganancia} = \frac{2,9 \text{ ns}}{1,91 \text{ ns}} = 1,52$$

c) Reordenar el código

5 Etapas

7 Etapas

① (3) ld r2, r12, 0
(2) ld r3, r11, 0

(8) ld r6, r8, 0
② (6) ld r7, r9, 0
(9) add r2, r2, r6
(11) add r3, r3, r7

(1) ld r1, r10, 0 1
(2) ld r3, r11, 0 1
(3) ld r2, r12, 0 1+0h
(6) b: sub r4, r4, 1 1+0h
(4) add r1, r1, r2 1+0h
(7) beq r4, r0, \$f 1+0h
(5) add r1, r1, r3 1
(8) ld r6, r8, 0 1+0h
(10) ld r7, r9, 0 1+0h
(9) add r2, r2, r6 1
(11) add r3, r3, r7 1
(12) add r8, r8, 4 1
(14) br b 1+0h
(13) add r9, r9, 4 1
(15) f: st r1, r11, 0 1
(16) and r1, r1, 0 1

CPI = 1

(1) ld r1, r10, 0 1
(2) ld r3, r11, 0 1
(3) ld r2, r12, 0 1+0h
(6) b: sub r4, r4, 1 1+0h
(7) bl: beq r4, r0, \$f 1+0h
(4) add r1, r1, r2 1+0h
(5) add r1, r1, r3 1
(6.2) sub r4, r4, 1 1
(8) ld r6, r8, 0 1+0h CM-B 4h?
(10) ld r7, r9, 0 1+0h CM-B 4h?
(12) add r8, r8, 4 1
(14) br bl 1+0h
(13) add r9, r9, 4 1
(9) add r2, r2, r6 1
(11) add r3, r3, r7 1
(15) f: st r1, r11, 0 1
(16) and r1, r1, 0 1

Ganancia = 2

CPI = 1

Problema 7

```

(1) add r1, r0, r0 ; i=0
(2) b: add r2, r0, r0 ; j=0
(3) b: st r0, #0(r4) ; mΔ(i,j)=0
(4) ld r3, #0(r10) ; r3 = mB(i,j)
(5) beqz r3, $noalm
(6) and r3, r3, r8 ; r8 = mascara
(7) st r3, #0(r11) ; mΔ(i,j) = r3
(8) add r4, r4, 1 ; no_cero++
(9) noalm: add r0, r10, #4 ; dir mΔ++
(10) add r11, r11, #4 ; dir mB++
(11) add r2, r2, #1 ; j++
(12) cmp r15, r2, r20 ; r20 = M
(13) blt r15, $b_j ; si j < M i.e b_j
(14) add r1, r1, #1 ; i++
(15) cmp r15, r1, r21 ; r21 = N
(16) blt r15, $b_i ; si i < N i.e b_i
(17) add r2, r0, r0
    
```

NAdelant

Adelant

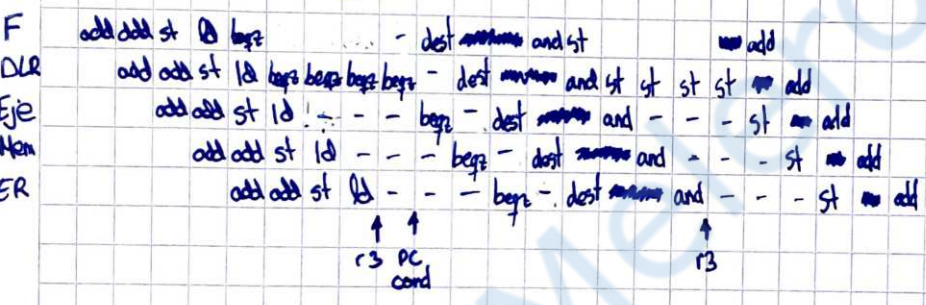
1	1
1	1
1	1
1 + 3h	1 + 2h
1 + 1h	1 + 1h
1 + 3h	1 + 0h
1	1
1	1
1	1
1	1
1 + 3h	1 + 0h
1 + 3h	1 + 1h
1 + 1h	1 + 1h
1 + 3h	1 + 0h
1 + 3h	1 + 1h
1 + 1h	1 + 1h
1	1

```

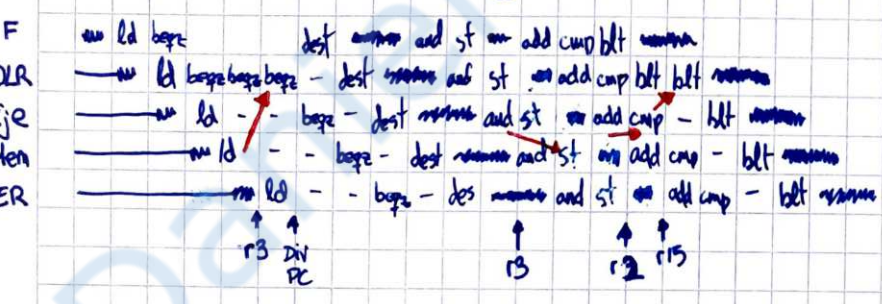
for (i=0, i < N, i++) {
    for (j=0, j < M, j++) {
        mΔ[i][j] = 0
        if (mB[i][j] != 0) {
            mΔ[i][j] = mB[i][j] & masc;
            no_cero++;
        }
    }
}
    
```

5 etapas pipeline ; Eva Cond y Calculo dir
etapa 2, No adelantamiento

a) Dependencias y parones



b) Ahora con adelantamientos y salto retardado



Ejemplo 1:

Implementar lock/unlock FIFO, usando tickets

turno: A quien se atiende

tickets: n° de espera

Necesitamos leer e incrementar atómicamente

```

Pseudo Funcion:  int Fetch&Add (int *location, int inc){
  (Atómico)      int value = *location
                  *location = *location + inc
                  return (value);
                }

```

```

typedef struct {
  int ticket; //espera
  int turno; //a quien atiende
} lock_t;

```

```

void LockInit (lock_t *lock){
  ticket = 0;
  turno = 0;
}

```

```

void lock (lock_t *lock){
  int myturn = Fetch&Add (lock->ticket, 1);
  while (myturn != lock->turno) {}
}

```

```

{
void unlock (lock_t *lock){
  Fetch&Add (lock->turno, 1);
}
}

```

Intel exchange&add

ENTRY (Fetch&Add); esp → Puntero Pila

mov 4(%esp), %edx; edx → 1° argumento (dir. retorno)

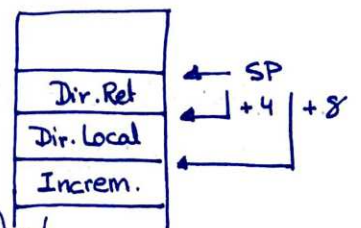
mov 8(%esp), %eax; eax → 2° argumento (incrementar todo)

lock xaddl %eax, (%edx); t ← eax, eax ← (edx); (edx) = (edx) + t

ret; devuelve %eax

Alternativa Unlock

lock incl (%edx)



1 Enero 2015

Aplicación secuencial 200 seg., paralelizable 90%. Se desea ejecutar sobre 20 procesadores, indique tiempo mínimo ejecutado y speedup máximo.

$$\text{Parte Secuencial} = 200 \text{ seg} \cdot 0.1 = 20 \text{ seg}$$

$$\text{Parte Paralela} = 200 \text{ seg} \cdot 0.9 = 180 \text{ seg} \Rightarrow \frac{180 \text{ seg}}{20 \text{ proce}} = 9 \text{ seg/cpu}$$

$$\text{tiempo mínimo paralelo} = \underbrace{20 \text{ seg}}_{\text{sec.}} + \underbrace{9 \text{ seg/cpu}}_{\text{para.}} = 29 \text{ s}$$

$$\text{Speedup} = \frac{200 \text{ seg}}{29 \text{ seg}} = 6.9 \text{ muy lejos del 20 ideal}$$

1 Junio 2014

Memoria entrelazada 8 módulos, entrelazado de orden inferior, complejo, con palabra de 64 bits y tiempo de acceso 4ns. Determinar el ancho de banda.

a) for (i=0; i<1000; i++)
a = a + V[i];



$$\frac{1 \text{ seg}}{40 \cdot 10^{-9} \text{ s/acc}} = 25 \cdot 10^6 \text{ accesos}$$

$$25 \cdot 10^6 \text{ accesos} \cdot 8 \text{ byte} = 200 \text{ MB/s}$$

↳ tamaño módulo

$$\text{En el bucle leemos } 8 \cdot 200 = 1600 \text{ MB/s}$$

b) for (i=0; i<1000; i=i+2) •
a = a + V[i];

$$4 \cdot 200 \text{ MB} = 800 \text{ MB/s}$$

c) for (i=0; i<1000; i=i+3) •
a = a + V[i];

$$8 \cdot 200 \text{ MB} = 1600 \text{ MB/s}$$

d) for (i=0; i<1000; i+=4)
a = a + V[i];

$$2 \cdot 200 \text{ MB} = 400 \text{ MB/s}$$

e) for (i=0; i<1000; i+=5)
a = a + V[i];

$$8 \cdot 200 \text{ MB} = 1600 \text{ MB/s}$$

c) Hit Ratio

I

$$\begin{aligned} N^{\circ} \text{Accesos} &= 5 + 512 \times 10 = 5125 \text{ accesos} \\ N^{\circ} \text{Fallos} &= (1 \text{ bloque}) = 4 \text{ fallos} \\ \text{Hit Ratio} &= \frac{5125 - 4}{5125} = 99,92\% \end{aligned}$$

$$\begin{aligned} N^{\circ} \text{ Accesos} &= 4 \times 1024 = 4096 \\ N^{\circ} \text{ Fallos} &= 512 \\ \text{Hit Ratio} &= \frac{4096 - 512}{4096} = 87.5\% \end{aligned}$$

d) $\bar{t}_{acc} (I, y, D)$ $D \left\{ \begin{array}{l} \text{lec.} \\ \text{escri} \end{array} \right.$

$$\textcircled{I} \quad \bar{f}_{acc} = f_{ciclar} + (1 - 4R_a) \cdot (f_{allow})$$

$$= 2ns + (1 - 0,8992) \cdot 40ns = 2,032ns$$

$$\textcircled{D} \quad \bar{f}_{acc} = t_{mca} + (1 - \eta_{ratio}) \cdot t_{allo}$$

$$= 2ns + (1 - 0,875) \cdot (60 + 40) = 14,5 ns$$

- 16 KB/pág
- 3 niveles
- $t_{acc} = 1ns$

a) t_{min} y t_{max} (acceso)

$$t_{\min} = (\text{hay solapamiento}) = t_{\text{TLB}} = 2 \text{ ns}$$

$$t_{max} = t_{TLB} + t_{TP's} + t_{naa} + t_{mp \rightarrow naa} + t_{mp \rightarrow mc} + t_{mpa}$$

$$= 1ns + 40 \times 4 + 2 + 60 + 60 + 2 = 285ns$$

1

• 64 bits / palabra

• 40 bits direcciones

cache

32KB = tamaño

• 32 byte / bloque

• $t = 2 \text{ ns}$

• 2 bloque / conjunto

• $t_{\text{fallo}} = t_{\text{mp}} + t_{\text{mca}} + t_{\text{w}}$

• $t_{\text{mp}} = 40 \text{ ns}$

• $t_{\text{mp}} + t_{\text{mca}} = 60 \text{ ns}$

H'0...01000 código

H'0...02000 vect $\rightarrow v_{\text{par}} \rightarrow v_{\text{impar}}$

a) Direcciones físicas y tamaño bloques

Etiqueta	Conjunto	B/bloque	40 bits
----------	----------	----------	---------

$$B/\text{bloque} = \frac{32 \text{ byte}}{\text{bloque}} = 5 \text{ bits}$$

$$\text{Conjunto} = 32 \text{ KB} \cdot \frac{1024 \text{ B}}{1 \text{ KB}} \cdot \frac{\text{bloque}}{32 \text{ B}} \cdot \frac{\text{Rango}}{2 \text{ B}} = 512 = 9 \text{ bits}$$

$$\text{Etiqueta} = 40 \text{ bits} - 5 - 9 = 26 \text{ bits}$$

$$\text{tamaño código} = 15 \text{ elem} \times \frac{8 \text{ B}}{\text{elem}} \times \frac{\text{bloque}}{32 \text{ B}} = 3.75 \text{ bloque}$$

$$\text{tamaño vect} = 1024 \text{ elem} \times \frac{8 \text{ B}}{\text{elem}} \times \frac{\text{bloque}}{32 \text{ B}} = 256 \text{ bloque}$$

$$\text{tamaño } v_{\text{par}} \text{ y } v_{\text{impar}} = 128 \text{ bloques}$$

b) Ubicación en caché

H'0...01000 \rightarrow

Conj = 128
 0000 0011 0000 0000 0000

H'0...02000 \rightarrow

Conj = 256
 0000 0011 0000 0000 0000

72) DHD

- $V_{transf} = 10^9 \text{ bits/s}$
- $R_{ini} = 100 \text{ inst}$
- $t_{prot} = 2 \text{ ns}$
- $B_{log.v} = 512 \text{ bytes}$

- Buffer 4 RD de 32 bits
- $R_{fin} = 150 \text{ inst}$
- $t_{acc} = 10 \text{ ns}$

b1) Número de ráfagas

$$N^{\circ} \text{ ráfagas} = \frac{\frac{512 \text{ byte}}{4 \text{ byte}}}{4 \text{ RD}} = 32 \text{ ráfagas}$$

b2) t_{ra}

$$t_{ra} = 4 \cdot 10 + 2 = 42 \text{ ns}$$

b3) t_{op}

$$\begin{aligned} t_{op} &= t_{ini} + t_{transf} + t_{ra} + t_{fin} = \\ &= 100 \text{ ns} + \frac{512 \text{ byte} \cdot \frac{8 \text{ bits}}{1 \text{ byte}}}{10^9 \text{ bits/s} \cdot \frac{1 \text{ s}}{10^9 \text{ ns}}} + 42 + 150 + 5 = 4393 \end{aligned}$$

Periféricos

• 1000 MIPS

HDD Inter

• $V_{transf} = 20 \cdot 10^6 \text{ bytes/s}$

• 1 RD 64 bits / 8 bytes

• $t_{acc} = 5 \text{ ms}$

a) 2 HDD, $SRI = 5 \text{ ns}$, RTI ?

$$C_{HDD} = \frac{V_{transf}}{\text{Tamanho}} \times (RTI + SRI) = \frac{20 \cdot 10^6 \text{ bytes/s}}{8 \text{ bytes}} \cdot ($$

3

• 32 bits / 4 bytes

• $SRI = 5 \text{ ns}$

• 1000 MIP

P1

• $V_{transf} = 20 \cdot 10^6 \text{ bytes/s}$

• $t_{acc} = 5 \text{ ms}$

• 1 RD 32 bits

• $\text{Tamanho} = 1024 \text{ bytes}$

Módulo E/S inter

• $R_{prog} = 100 \text{ inst}$

• $R_{fin} = 90 \text{ inst}$

• $RTI = 50 \text{ inst}$

a1) Número Máximo P1

$$C_{HDD} = \frac{20 \cdot 10^6 \text{ bytes/s}}{32 \text{ bits} \cdot \frac{1 \text{ byte}}{8 \text{ bits}}} (5 + 50) = \underline{275 \text{ MIPS}}$$

$$N^{\circ}_{HDD} = \frac{1000 \text{ MIPS}}{275 \text{ MIPS}} = 3'6 \Rightarrow 3 \text{ HDD}$$

a2) t_{op}

$$t_{op} = t_{ini} + t_{acc} + t_{transf} + t_{inf} + t_{fin} =$$

$$= 100 \text{ ns} + 5 \cdot 10^6 \text{ ns} + \frac{1024 \text{ bytes}}{20 \cdot 10^6 \text{ bytes/s} \cdot \frac{1 \text{ s}}{10^9 \text{ ns}}} + 5 \text{ ms} + 50 \text{ ns} + 90 \text{ ns} = 5051445 \text{ ns}$$

PROBLEMAS - TEMA 1

18.

CPU 1000 MIPS

SRI: 5 instrucciones

$V_{transf} = 16 \cdot 10^6 \text{ bytes/s}$

$t_{acc} = 4 \text{ ms}$

Tamaño bloque = 1024 bytes

• Módulo E/S mediante interrupciones

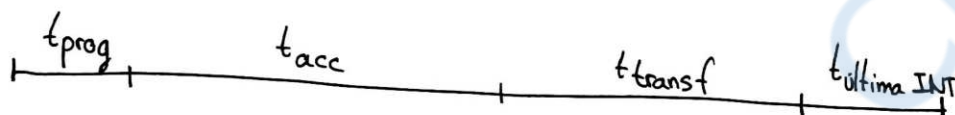
Buffer de 1 registro de 32 bits

$R_{inicio} = 200 \text{ inst}$

$RTI = 45 \text{ instr}$

$R_{fin} = 100 \text{ inst}$

a)



$t_{instrucción} = 1 \text{ ns}$

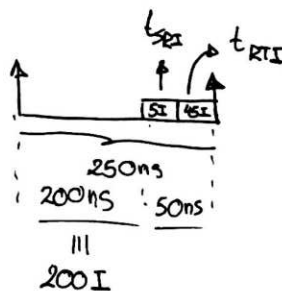
$$t_{op} = 200 I \cdot \frac{1 \text{ ns}}{I} + 4 \cdot 10^6 \text{ ns} + \frac{1024 B}{16 \cdot 10^6 B/s} \cdot 10^9 \frac{\text{ns}}{s} + (5I + 45I + 100I) \cdot \frac{1 \text{ ns}}{I}$$

$$t_{op} = 200 \text{ ns} + 4.000.000 \text{ ns} + 64.000 \text{ ns} + 150 \text{ ns} = \underline{\underline{4.064.350 \text{ ns}}}$$

b)

$$Frec_{INT} = \frac{16 \cdot 10^6 B/s}{4 B/Int} = 4 \cdot 10^6 \text{ Int/s}$$

$$T_{INT} = \frac{1}{4 \cdot 10^6 \text{ Int/s}} = \underline{\underline{250 \text{ ns/INT}}}$$



c)

$$Capacidad Procesamiento = Frec_{INT} \cdot N^{I/INT} = 4 \cdot 10^6 \text{ INT/s} \cdot (5 + 45) \frac{I}{INT} = 200 \text{ MIPS}$$

$$N_{discos} = \frac{CP_{total}}{CP_{disco}} = \frac{1000}{200} = \underline{\underline{5 \text{ discos}}}$$

d) Para aceptar el cuádruple tienen que tener una CPU de 200/4

$$50 = Frec_{INT} \cdot N^{I/Inst} = \frac{\text{Velocidad}}{\text{tamaño Buffer}} \cdot 50 \text{ Int/Inst}$$

↓
modifica (10 · 4 teniendo 4 buffers)
esto

e)

DMA

$$V_{transm} = 10^6 \text{ bits/s}$$

Buffer 16 registros de 32 bits

$$R_{inicio} = 200 \text{ Inst}$$

$$R_{final} = 100 \text{ Inst}$$

~~Protocolo = 2ns~~

$$\text{Protocolo} = 2 \text{ ns}$$

$$\text{Ciclo Acceso Memoria} = 3 \text{ ns}$$

$$t_{DMA \text{ rafaga}} = t_{prot \text{ cons}} + N^{\circ} \text{ Buffer} \cdot \text{CAN} + t_{prot \text{ libe}}$$

$$t_{DMA \text{ rafaga}} = 2 \text{ ns} + 16 \cdot 3 \text{ ns} + 2 \text{ ns} = 52 \text{ ns}$$

$$\% t_{CPU} = \frac{t_{CPU}}{t_{op}} \times 100$$

$$t_{DMA \text{ aislado}} = t_{prot \text{ cons}} + \text{CAN} + t_{prot \text{ libe}}$$

$$t_{DMA \text{ aislado}} = 2 \text{ ns} + 3 \text{ ns} + 2 \text{ ns} = 7 \text{ ns}$$

$$t_{op \text{ aisl}} = t_{prog} + t_{acc} + t_{transf} + t_{ultimo \text{ DMA}} + t_{INT}$$

$$t_{op \text{ aisl}} = 200 \text{ ns} + 0 + \frac{1024 \text{ B} \cdot 8 \text{ b/B}}{10^9 \text{ bits/s}} + 7 \text{ ns} + (5 \text{ ns} + 100 \text{ ns}) = 8.504 \text{ ns aislado}$$

$$t_{op \text{ rafaga}} = 200 \text{ ns} + 0 + \frac{1024 \text{ B} \cdot 8 \text{ bytes/B}}{10^9 \text{ bits/s}} + 52 \text{ ns} + (5 \text{ ns} + 100 \text{ ns}) = 8.549 \text{ ns rafaga}$$

$$t_{CPU \text{ aislado}} = 200 \text{ ns} + \frac{1024 \text{ B}}{4 \text{ B/DMA}} \times 7 \text{ ns} + 5 \text{ ns} + 100 \text{ ns} = 2.094 \text{ ns} \quad \underline{\underline{\% CPU \text{ aislado} = 24\%}}$$

$$t_{CPU \text{ rafaga}} = 200 \text{ ns} + \frac{1024 \text{ B}}{16 \times 4 \text{ B/DMA}} \times 52 \text{ ns} + 5 \text{ ns} + 100 \text{ ns} = 1134 \text{ ns} \quad \underline{\underline{\% CPU \text{ rafaga} = 13\%}}$$

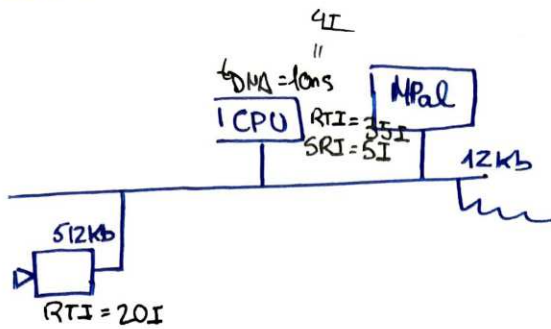
f)

1 millón de instrucciones = 1ms/I

$$\% CPU_{libre} = 100 - (24 + 3 \times 8.45) = 50.25\%$$

$$\% t_{CPU} = \frac{t_{CPU}}{t_{op}} = \frac{200 \text{ ns} + \frac{1024 \text{ B}}{4 \cdot 4 \text{ B}} (5 + 45) + 100 \text{ ns}}{4064.350 \text{ ns}} \times 100 = \frac{3500}{4.064.350} \times 100 = 8.45\%$$

① FOTO LIBRO

Capturadora

- $V_{transf} = 40 \times 10^6 \text{ bits/s}$
- Registro Datos 32 bit
- $Prog = 50I$

• 400 MIPS

• $V_{transf} = 10^8 \text{ bits/s}$

• Registro Datos 32 bit

• $Prog = 100I$

• Tamaño bloque 1.5 Kb

$$a) NI_{op_{cap}} = 50I + \frac{512 \text{ KB}}{40 \times 10^6 \text{ B/s}} \times 400 \cdot 10^6 = 5.242.930I \quad \text{para capturar 1 imagen}$$

$$NI_{eth} = \frac{12 \text{ KB}}{1.5 \text{ KB/op}} \times \left(100I + \frac{1.5 \text{ KB} \times 8 \text{ b/B}}{10^8 \text{ b/s}} \times 400 \cdot 10^6 \text{ I/s} \right) =$$

$$NI_{eth} = 393.616 I$$

$$NI_{imagen} = 5.242.930 I + 15 \cdot 10^6 I + 393.616 I = 20.636.546 I/\text{imagen}$$

$$N_{\frac{img}{s}} = \frac{400 \cdot 10^6 \text{ I/s}}{20.636.546 I/\text{imagen}} = 19'38 \text{ image/s}$$

b)
b1)

$$Frec_{INT_{cap}} = \frac{40 \cdot 10^6 \text{ B/s}}{4 \text{ B/Inte}} = 10^7 \text{ Int/s} \quad \leftarrow \text{Mayor prioridad por mayor número de interrupciones por segundo}$$

$$Frec_{INT_{eth}} = \frac{10^8 \text{ B/s}}{4 \text{ B/Inte}} = 3,125 \cdot 10^6 \text{ Int/s}$$

b2)

$$CP_{cap} = 10^7 \text{ Int/s} \times (5I + 25I) \text{ I/Int} = 250 \text{ MIPS}$$

$$CP_{eth} = 3,125 \cdot 10^6 \text{ Int/s} \times (5I + 35I) \text{ I/Int} = 125 \text{ MIPS}$$

b3)

$$NI_{cap} = 50I + \frac{512 \text{ KB}}{4 \text{ B}} \times (5I + 20I) = 3.216.850 I$$

$$NI_{eth} = 8 \times \left(100 I + \frac{1536 B}{4B} \times (5I + 3I) \right) = 123.680 I$$

$$NI_{img} = 3.276.850 I + 15 \cdot 10^6 I + 123.680 I = 18.400.530 I$$

$$N^{\circ} \frac{Imas}{s} = \frac{400 \cdot 10^6 I/s}{18400530 I/Ima} = 21'74 \text{ img/seg}$$

c)

$$NI_{img} = 50 I + \frac{512 KB}{4B} \times 4 I + (5 I + 20 I) = 524.363 I$$

$$NI_{eth} = 8 \times \left(100 I + \frac{1536 B}{4B} \times 4 I + (5 I + 35 I) \right) = 13.408 I$$

$$NI_{img} = 524.363 I + 15 \cdot 10^6 I + 13.408 I = 15.537.771 I$$

$$N^{\circ} \frac{Imas}{s} = \frac{400 \times 10^6 I/s}{15.537.771 I/\text{img}} = 25'74 \text{ ima/s}$$

$$\% \text{ CPU} = \frac{25}{25'74} \times 100 = 97'11\%$$

CPU 1000 MIPS = $1 \text{ ns}/I$

$t_{acc} = 5 \text{ ms}$

$SRI = 5 \text{ ns}$

$V_{transf} = 20 \cdot 10^6 \text{ bytes/s}$

1 registro 8 bytes

a) $t_{inte} = \frac{\text{tamaño Buffer}}{V_t} = \frac{8B}{20 \cdot 10^6 \text{ Byte/s}} = 400 \text{ ns} \rightarrow 200 \text{ ns}$

$t_{instr} = RTI + SRI;$

$RTI = t_{instr} - SRI = 200 - 5 = 195 \text{ instrucciones}$

b) Tarjeta red

Buffer = 256 bits

$RTI_{HDD} = 60 \text{ inst}$

$RTI_{red} = 50 \text{ inst}$

$V_{\text{máx red}} ?$

$C_{HDD} = \frac{V_{transf}}{\text{Registro CPU}} \cdot (RTI + SRI) = \frac{20 \cdot 10^6 \text{ bytes/s}}{8 \text{ bytes/int}} \cdot (60 + 5) \text{ inst/inte}$

$C_{HDD} = 162,5 \cdot 10^6 \text{ Inst/s}$

$C_{cpu} = 1000 \cdot 10^6 \text{ inst/s}$

$C_{red} = \frac{X}{256 \text{ bits/int}} (50 + 5) \text{ inst/int}$

$\boxed{C_{cpu} > C_{HDD} + C_{red}}$

PROBLEMA 3 Junio 2014

CPU 1000 MIPS = $1 \text{ ns}/I$

32 bits

$SRI = 5 \text{ ns}$

a) P1

$V_{tra} = 20 \cdot 10^6 \text{ bytes/s}$

$t_{acc} = 5 \text{ ms}$

Registro 32 bits

Tamaño Bloque = 1.024 bytes

$$R_{\text{prog}} = 100 \text{ I}$$

$$R_{\text{fin}} = 90 \text{ I}$$

$$RTI = 50 \text{ I}$$

a.1) Número máximo P1

$$C_{P1} = \text{Freg}_{\text{int}} \times \frac{\text{inst}}{\text{int}} = \frac{20 \cdot 10^6 \text{ bytes/s}}{4 \text{ bytes/inte}} \times (5 + 50) \frac{\text{inst}}{\text{int}}$$

$$C_{P1} = 275 \text{ MIPS}$$

$$N^{\circ} P1 = \frac{C_{\text{CPU}}}{C_{P1}} = \frac{1000 \text{ MIPS}}{275 \text{ MIPS}} \approx 3 P1$$

a.2) Tiempo lectura bloque

$$\begin{aligned} t_{\text{ope}} &= t_{\text{prog}} + \bar{t}_{\text{acc}} + \frac{\text{Tamaño Bloque}}{V_{\text{transf}}} + (RTI + SRI) + t_{\text{fin}} = \\ &= 100 \text{ ns} + 5 \text{ ms} + \frac{1.024 \text{ bytes}}{20 \cdot 10^6 \text{ bytes/s}} + (5 + 50) \text{ ns} + 90 \text{ ns} = \\ &= 5,051445 \text{ ms} \end{aligned}$$

b) R2 \Rightarrow DMA ráfagas

4P
4B

$$V_{\text{transf}} = 10^9 \text{ bits/s}$$

Buffer 4 registros de datos de 32 bits

$$R_{\text{inicio}} = 100 \text{ inst} \quad R_{\text{fin}} = 150 \text{ inst} \quad \text{Protocolo conc/libe} = 2 \text{ ns}$$

$$t_{\text{acc Mem}} = 0 \text{ ns/palabra}$$

$$T_{\text{bloques}} = 512 \text{ bytes}$$

b1) Número de ráfagas de DMA

$$4 \text{ Buffer} \quad N^{\circ} \text{ráfagas} = \frac{\text{tamaño Bloque}}{\text{tamaño Buffer}} = \frac{512 \text{ B}}{4 \cdot 4 \text{ B}} = 32 \text{ ráfagas}$$

b2) Duración ráfaga

$$t_{\text{ráfaga}} = N^{\circ} \text{Registros} \cdot t_{\text{acc mem}} + t_{\text{prot}} = 4 \cdot 10 \text{ ns} + 2 \text{ ns} = 42 \text{ ns}$$

b3)

3

$$t_{op} = t_{ini} + t_{\text{rafg}} + t_{\text{transf}} + t_{\text{ultimo robo}} + t_{int} =$$

$$= t_{ini} + t_{\text{rafg}} + \frac{\text{tamaño Bloque}}{V_{\text{transf}}}$$

Problema 1 | Marzo 2014

CPU - Ancho Palabra 32 bits
 - 2000 MIPS \Rightarrow 0,5 ns/Inst

Red - $V_{\text{trasf}} = 640 \cdot 10^6$ bits/s
interrupciones
 - 1 registro de una palabra = 4 bytes = 32 bits
 - SRI = 5ns RTI = 20ns

a) Tiempo entre 2 interrupciones

(Red)
$$\frac{1 \text{ Int}}{\text{Buffer}} \times \frac{1 \text{ Buffer}}{4 \text{ Bytes}} \times \frac{1 \text{ Byte}}{8 \text{ bits}} \times \frac{640 \cdot 10^6 \text{ bits}}{\text{Segundos}} = \underline{\underline{20 \cdot 10^6 \text{ Int/s}}}$$

$$20 \cdot 10^6 \frac{\text{Int}}{\text{s}} \parallel \frac{2000 \text{ MIPS}}{\text{CPU}} = 50 \text{ ns} \Rightarrow t_{int} = 50 \text{ ns}$$

b) Número de periféricos

CPU $t_{int} = 50 \text{ ns}$

Red $t_{int} = \text{RTI} + \text{SRI} = 5 \text{ ns} + 20 \text{ ns} = 25 \text{ ns}$

por tanto la CPU solo puede trabajar con 2 Redes

Módulo E/S

1 buffer 400 bytes RTI = 220 ns

c) Frecuencia_{inte}
$$\frac{1 \text{ Int}}{\text{Buffer}} \times \frac{1 \text{ buffer}}{400 \text{ byt}} \times \frac{1 \text{ bytes}}{8 \text{ bits}} \times \frac{640 \cdot 10^6 \text{ bits}}{\text{s}} = 2 \cdot 10^5 \frac{\text{Int}}{\text{s}}$$

$t_{int} = \text{RTI} + \text{SRI} = 5 \text{ ns} + 220 \text{ ns} = 225 \text{ ns}$

$$2 \cdot 10^5 \frac{\text{Int}}{\text{s}} \cdot t_{int} \cdot \frac{2 \text{ Int}}{1 \text{ ns}} = \underline{\underline{90 \text{ MIPS}}}$$

d) Número máximo

14

$$N_{\max} = \frac{2000 \text{ MIPS}}{90 \text{ MIPS}} \approx 22 \text{ redes}$$

Problema 2 Marzo 2014

CPU - Ancho Palabra 32 bits = 4 bytes

- 2000 MIPS $\Rightarrow 0,5 \text{ ns/inst}$

Red - $V_{\text{transf}} = 640 \cdot 10^6 \text{ bits/s}$

- 1 registro de una palabra

- SRI = 5 ns RTI = 20 ns

a) $R_{\text{inicio}} = 200 \text{ inst}$ $R_{\text{fin}} = 150 \text{ inst}$

Tamaño bloque = 1.024 bytes

$$\begin{aligned} t_{\text{op-red}} &= t_{\text{ini}} + t_{\text{trans}} + t_{\text{ultima interrupcion}} = t_{\text{ini}} + t_{\text{trans}} + (t_{\text{SRI}} + t_{\text{RTI}} + t_{\text{fin}}) = \\ &= 100 \text{ ns} + \frac{\text{tamaño Bloque}}{V_{\text{transf}}} + (5 \text{ ns} + 20 \text{ ns} + 75 \text{ ns}) = \\ &= 100 \text{ ns} + \frac{1.024 \text{ bytes} \cdot 8 \text{ bits/bytes}}{640 \cdot 10^6 \text{ bits/s}} + (5 \text{ ns} + 20 \text{ ns} + 75 \text{ ns}) = \\ &= 13.000 \text{ ns} \end{aligned}$$

$$\begin{aligned} t_{\text{cpu}} &= t_{\text{ini}} + N_{\text{interrupciones}} \times t_{\text{int}} + t_{\text{fin}} = t_{\text{ini}} + \frac{\text{tamaño Bloque}}{\text{Ancho palabra}} \times t_{\text{int}} + t_{\text{fin}} = \\ &= 100 \text{ ns} + \frac{1024 \text{ bytes}}{4 \text{ bytes}} \times (5 \text{ ns} + 20 \text{ ns}) + 75 \text{ ns} = \\ &= 6.575 \text{ ns} \end{aligned}$$

HDD

$$V_{\text{transf}} = 40 \cdot 10^6 \text{ bytes/s}$$

Tamaño sector = 1.024 bytes

$E_{\text{acc}} = 4 \text{ ms}$

Registro de Datos 32 bits

$$R_{\text{inicio}} = 100 \text{ inst} \quad R_{\text{fin}} = 50 \text{ inst}$$

Protocolo = 2 ns

$t_{\text{acc nuevo}} = 2 \text{ ns}$

b) Nº HDP máxima

15

$$C_{HDD} = Freq_{\text{inte}} \times I_{\text{robo}} = \frac{V_{\text{transf}}}{\text{tamaño Bq}} \times (t_{\text{acc mem}} + t_{\text{prot}}) =$$

$$= \frac{40 \cdot 10^6 \text{ bytes/s}}{4B} \times (2ns + 2ns) = 80 \text{ MIPS} \quad \frac{2000 \text{ MIPS}}{80 \text{ MIPS}} = 25$$

c) Tiempo Operación lectura y CPU

$$t_{\text{op-HDD}} = t_{\text{ini}} + t_{\text{acc}} + t_{\text{trans}} + t_{\text{último robo}} + t_{\text{interrupcion}} =$$

$$= t_{\text{ini}} + t_{\text{acc}} + \frac{\text{tamaño Sector}}{V_{\text{transf}}} + (t_{\text{prot}} + t_{\text{mem}}) + (t_{\text{RTI}} + t_{\text{SRI}}) =$$

$$= 50ns + 4ms + \frac{1024 \text{ bytes}}{40 \cdot 10^6 \text{ bytes/s}} + (2ns + 2ns) + (5ns + 20ns) =$$

$$= 4.025.684 ns$$

$$t_{\text{cpu-HDD}} = t_{\text{ini}} + N_{\text{robos}} \times t_{\text{robo}} + t_{\text{int}} =$$

$$= t_{\text{ini}} + \frac{\text{tamaño Bloque}}{\text{Ancho Palabra}} \times (t_{\text{prot}} + t_{\text{mem}}) + (t_{\text{RTI}} + t_{\text{SRI}}) =$$

$$= 50 ns + \frac{1024 \text{ bytes}}{4 \text{ bytes}} \times (2ns + 2ns) + (5 + 25ns) =$$

$$= 1.104 ns$$

Se lee un fichero de 10.240 bytes a la vez que la red

d) Calcular el tiempo de operación

$$\begin{array}{lcl} 1 \text{ sector} & \longrightarrow & 10.240 \text{ bytes} \\ + & \longrightarrow & 1.024 \text{ bytes} \end{array} \quad \left\{ \Rightarrow 10 \text{ Sectores} \right.$$

$$t_{\text{op-total}} = 10 \cdot t_{\text{op-HDD}} + t_{\text{op-red}} = 10 \cdot 4.025.684 ns + 13.000 ns = 76.790 ns$$

e) %CPU en ejecutar otros procesos

$$t_{\text{CPU-total}} = 10 \cdot t_{\text{CPU-HDD}} + 10 \cdot t_{\text{CPU-red}} = 10 \cdot 1.104 ns + 10 \cdot 6.575 ns$$

$$= 76.790 ns$$

$$\% \text{CPU} = 0,19\%$$

Problema 3 Enero 2014

CPU -

- 64 bits
- 2.000 MIPS = 0,5 ns/I
- SRI = 10 inst

HDD

- $V_{transf} = 10^8 \text{ bytes/s}$
- $\bar{t}_{acc} = 4 \text{ ms}$
- RD = 64 bits
- Tamaño sector = 1024 bytes

Módulo E/S

- $R_{inicio} = 100 \text{ inst}$
- $R_{fin} = 50 \text{ inst}$
- $RTI = 40 \text{ inst}$

a) Número de discos

$$C_{HDD} = Frec_{Int} \cdot I_{int} = \frac{V_{transf}}{\text{Tamaño Buffer}} (SRI + RTI) =$$

$$= \frac{10^8 \text{ bytes/s}}{8 \text{ bytes}} \cdot (10 \text{ inst} + 40 \text{ inst}) = 6,25 \cdot 10^8 \text{ inst/s} = 625 \text{ MIPS}$$

$$N^{\circ}_{HDD} = \frac{2.000 \text{ MIPS}}{625 \text{ MIPS}_{/HDD}} \approx 3 \text{ HDD}$$

b) T_{op} lectura y T_{op} - CPU

$$t_{op} = t_{inic} + \bar{t}_{acc} + t_{última \text{ inter}}^{transf} = t_{inic} + \bar{t}_{acc} + (t_{RTI} + t_{SRI} + t_{fin}) =$$

$$= 50 \text{ ns} + 4 \text{ ms} + \left(\frac{1.024 \text{ bytes}}{10^8 \text{ bytes/s}} (20 \text{ ns} + 5 \text{ ns} + 25 \text{ ns}) \right) = 4.010.340 \text{ ns}$$

$$t_{CPU} = t_{ini} + N_{interr} \times t_{int} + t_{fin} = t_{ini} + \frac{T_{sector}}{RD} \times (RTI + t_{SRI}) + t_{fin}$$

$$= 50 \text{ ns} + \frac{1024 \text{ bytes}}{8 \text{ bytes}} \times (5 \text{ ns} + 20 \text{ ns}) + 25 \text{ ns} = 3.275 \text{ ns}$$

Módulo E/S DMA

- $R_{inicio} = 100 \text{ inst}$
- $R_{fin} = 50 \text{ inst}$
- Protocolo Conc/Lib = 2ns
- $t_{mem} = 2 \text{ ns}$

c)

$$C_{HDD} = F_{rec_{robas}} \times I_{robas} = \frac{V_{transf}}{T_{buffer}} \cdot \left[(t_{proto} + t_{memoria}) \cdot MIPS_{cpu} \right] =$$

$$= \frac{10^8 \text{ bytes/s}}{8 \text{ bytes}} \cdot \left[(2ns + 2ns) \cdot 2 \cdot 10^9 \text{ inst/s} \right] = 100 \text{ MIPS} \Rightarrow 20 \text{ HDD}$$

d) Time CPU

$$t_{cpu} = t_{ini} + N_{robo_{ciclo}} \times t_{robo_{ciclo}} + t_{int} = t_{ini} + \frac{T_{sector}}{RD} \times (t_{prot} + t_{memo}) + t_{RTI} + t_{fin}$$

$$= 50ns + \frac{1024 \text{ bytes}}{8 \text{ bytes}} \times (2ns + 2ns) + (5ns + 20ns) = 592ns$$

Red Ethernet (Interrupciones)

- $V_{transf} = 10^9 \text{ bit}$
- Buffer de 4 registros de 64 bits
- $R_{inicio} = 150 \text{ inst}$
- $R_{fin} = 90 \text{ inst}$

e) Número RTI para 8 discos

$$1 \text{ HDD} \rightarrow 100 \text{ MIPS}$$

$$8 \text{ HDD} \rightarrow \boxed{1800 \text{ MIPS}} \quad \left\{ \begin{array}{l} \rightarrow \text{Faltan } 1200 \text{ MIPS} \end{array} \right.$$

$$C_{Ethernet} = F_{rec_{int}} \times I_{int} = \frac{V_{transf}}{T_{am Buffer}} \times (R_{SI} + R_{TI}) \leq 1.200 \text{ MIPS}$$

$$C_{Ethernet} = \frac{10^9 \text{ bits/s}}{4 \cdot 64 \text{ bits}} \times (10 \text{ inst} + x) \leq 1.200 \text{ MIPS}$$

$$3,90625 \cdot 10^6 \times (10 + x) \leq 1200 \text{ MIPS}$$

$$39,0625 \cdot 10^6 + 3,90625 \cdot 10^6 \cdot x \leq 1.200 \text{ MIPS}$$

$$x \leq 297,2 \text{ inst} \Rightarrow \boxed{297 \text{ inst}}$$

f) t_{cpu} para transmitir 1.024 bytes

18

$$t_{cpu} = t_{ini} + N_{interr} \cdot t_{int} + t_{fin} = t_{ini} + \frac{\text{Tamaño Paquete}}{RD} \times (t_{RTI} + t_{SRI}) + t_{fin} =$$

$$= 45 ns + \frac{1.024 \text{ bytes}}{4.8 \text{ bytes}} \times (5 ns + 55 ns) + 45 = 2.040 ns$$

g) % CPU 4 HDD + Ethernet

$$C_{Ethernet} = Frec_{int} \cdot I_{int} = \frac{V_{transf}}{RD} \times (RTI + SRI) =$$

$$= \frac{10^9 \text{ bits/s}}{4.64 \text{ bits}} \times (10 \text{ inst} + 110 \text{ inst}) = 468,75 \text{ MIPS}$$

$$\% CPU \text{ libre} = (468,75 + 400) \times 100 = 868,75 \text{ MIPS}$$

$$2.000 \text{ MIPS} \rightarrow 100\%$$

$$868,75 \text{ MIPS} \rightarrow 43,43\%$$

Problema 4 Junio 2012

CPU

- 1000 MIPS \rightarrow 1ns/I

Red Ethernet

- $V_{transf} = 10^9 \text{ bits/s}$

- Buffer 2RD de 32 bit

Módulo E/S Interr

- R_{inicio} = 110 inst

- R_{fin} = 75 inst

a) Máx N° Instrucciones RTI

SRI = 10 inst

$$T_{int} = \frac{\text{Buffer}}{V_{transf}} = \frac{2 \cdot 32b}{10^9 b/s} = 64 ns$$

$$t_{int} = 10 + RTI = 64 \Rightarrow RTI = 54 ns \Rightarrow 54 \text{ inst}$$

b) RTI = 30 inst; $t_{cpu} \rightarrow$ Bloque 1KB

$$t_{cpu} = t_{ini} + N_{int} \cdot t_{int} + t_{fin} = t_{ini} + \frac{\text{Tamaño Bloque}}{\text{Tamaño Buffer}} \times (t_{RTI} + t_{SRI}) + t_{fin} =$$

$$= 5.305 ns$$

Problema 3 | Junio 2013

CPU

- 32 bits = 4 bytes
- 1000 MIPS = 1ns/I
- SRI = 6ns
- Protocolo = 2ns
- $t_{memo} = 1ns$

Red Ethernet Interrupciones

- $V_{transf} = 16 \text{ bit} = 10^9 \text{ bits/s}$
- 2 RD de 32 bits
- RTI = 24inst
- Bloques 64 - 1536 bytes
- Inicio = 100 inst
- Rfin = 200 inst

HDD DHD

- $V_{transf} = 10^8 \text{ bytes/s}$
- Tamaño Sector = 512 bytes
- Inicio = 80 inst
- $t_{acc} = 4ms$
- 1 RD de 32 bits
- Rfin = 400 inst

a) N° máximo Ethernet

$$C_{Ethernet} = \text{Freq}_{int} \cdot I_{int} = \frac{V_{transf}}{RD} \cdot (RTI + SRI) =$$

$$= \frac{10^9 \text{ bits/s}}{2 \cdot 32 \text{ bits}} \cdot (6 \text{ inst} + 24 \text{ inst}) = 4,6876 \cdot 10^8 = \underline{\underline{468,76 \text{ MIPS}}}$$

$$N^{\circ}_{Ethernet} = \frac{1000 \text{ MIPS}}{468,76 \text{ MIPS}} \approx 2 \text{ Ethernet}$$

b) N° máximo HDD con Ethernet

$$t_{robo} = t_{proto} + N^{\circ}RD \cdot t_{memo} = 2ns + 1 \cdot 1ns = 3ns$$

$$C_{HDD} = \text{Freq}_{robo} + I_{robo} = \frac{V_{transf}}{RD} \cdot (t_{proto} + N^{\circ}RD \cdot t_{memo}) =$$

$$= \frac{10^8 \text{ bytes/s}}{4 \text{ byte}} \cdot (2ns + 1 \cdot 1ns) = 75 \text{ MIPS}$$

$$N^{\circ}_{HDD} = \frac{1000 \text{ MIPS} - 468,76 \text{ MIPS}}{75 \text{ MIPS}} \approx 7 \text{ HDD}$$

c) top de Ethernet 1,5 KB % t CPU libre

$$\begin{aligned}
 t_{\text{top-Ethernet}} &= t_{\text{ini}} + t_{\text{primero}} + t_{\text{transf}} + t_{\text{ultima}} = \\
 &= t_{\text{ini}} + (t_{\text{SRI}} + t_{\text{RI}}) + t_{\text{transf}} + (t_{\text{SRI}} + t_{\text{fin}}) = \\
 &= 100 \text{ ns} + (6 \text{ ns} + 24 \text{ ns}) + \frac{1.536 \text{ bytes} \cdot 8 \text{ bits/bytes}}{10^9 \text{ bits/s}} + 6 \text{ ns} + 200 \text{ ns} = \\
 &= \underline{\underline{12.624 \text{ ns}}}
 \end{aligned}$$

$$\begin{aligned}
 t_{\text{cpu-Ethernet}} &= t_{\text{ini}} + N_{\text{int}} \cdot t_{\text{int}} + t_{\text{ultima}} = \\
 &= t_{\text{ini}} + \frac{\text{Tamaño Bloque}}{\text{Ancho Redada}} \times (t_{\text{RI}} + t_{\text{SRI}}) + (t_{\text{SRI}} + t_{\text{fin}}) = \\
 &= 100 \text{ ns} + \frac{1.536 \text{ bytes}}{2 \times 4 \text{ bytes}} \times (6 + 24) \text{ ns} + (6 + 200) \text{ ns} = \\
 &= \underline{\underline{6.066 \text{ ns}}}
 \end{aligned}$$

$$\% \text{ Cpu libre} = \frac{t_{\text{top-Ethernet}} - t_{\text{cpu-Ethernet}}}{t_{\text{top-Ethernet}}} \times 100 = \underline{\underline{51,95\%}}$$

d) top HDD % t CPU libre

$$\begin{aligned}
 t_{\text{top-HDD}} &= t_{\text{ini}} + t_{\text{acc}} + t_{\text{transf}} + t_{\text{ultima}} + t_{\text{int}} = \\
 &= t_{\text{ini}} + t_{\text{acc}} + \frac{\text{Tamaño Bloque}}{V_{\text{transf}}} + t_{\text{robo}} + (t_{\text{SRI}} + t_{\text{fin}}) = \\
 &= 80 \text{ ns} + 4 \cdot 10^6 \text{ ns} + 5.120 \text{ ns} + 3 \text{ ns} + (2 \text{ ns} + 400 \text{ ns}) = \\
 &= 4.005.609 \text{ ns}
 \end{aligned}$$

$$\begin{aligned}
 t_{\text{cpu-HDD}} &= t_{\text{ini}} + N_{\text{robo}} + t_{\text{robo}} + t_{\text{int}} = \\
 &= 80 \text{ ns} + \frac{512 \text{ bytes}}{1 \times 4 \text{ bytes}} \times 3 \text{ ns} + (6 \text{ ns} + 400 \text{ ns}) = \\
 &= 870 \text{ ns}
 \end{aligned}$$

$$\% \text{ CPU libre} = \frac{t_{\text{top-HDD}} - t_{\text{cpu-HDD}}}{t_{\text{top-HDD}}} \times 100 = 99,98\%$$

(4) Octubre - 2013

1

Servidor

- 32 bits

- 1000 MIPS = 1 ms/I

- SRI = 8 ns

HDD

- $V_{\text{transf}} = 40 \cdot 10^6 \text{ bytes/s}$

- $\bar{t}_{\text{acc}} = 5 \text{ ms}$

- Tam Sector = 512 byte

Módulo E/S interrupciones

- $R_{\text{inicio}} = 50 \text{ inst}$

- $R_{\text{fin}} = 75 \text{ inst}$

- $RTI = 40 \text{ inst}$

- Buffer 2 RD de 32 bits

a) Tiempo de CPU

$$\begin{aligned} t_{\text{CPU}} &= t_{\text{ini}} + N_{\text{int}} \cdot t_{\text{int}} + t_{\text{fin}} = \\ &= 50 \text{ ns} + \frac{512 \text{ bytes}}{2 \cdot 4 \text{ bytes}} \cdot (48 \text{ ns}) + 75 \text{ ns} = \\ &= \underline{\underline{3.197 \text{ ns}}} \end{aligned}$$

b) Número Máximo discos

$$C_{\text{HDD}} = \text{Freq}_{\text{int}} \cdot I_{\text{int}} = \frac{40 \cdot 10^6 \text{ byte/s}}{2 \cdot 4 \text{ bytes}} \cdot (8 + 40) = 240 \text{ MIPS}$$

$$N_{\text{HDD}} = \frac{1000 \text{ MIPS}}{240 \text{ MIPS}} = 4,166 \approx 4 \text{ HDD}$$

Módulo E/S DMA

$$- \text{Protocob conce/libe} = 4 \text{ ns}$$

$$- t_{\text{memo}} = 2 \text{ ns}$$

$$- \text{Inicio} = 100 \text{ inst}$$

$$- R_{\text{fin}} = 150 \text{ inst}$$

c) % t CPU

$$\begin{aligned} t_{\text{op}} &= t_{\text{ini}} + t_{\text{acc}} + t_{\text{transf}} + t_{\text{ultimo}} + t_{\text{int}} = \\ &= 100 \text{ ns} + 5 \cdot 10^6 \text{ ns} + \frac{512 \text{ bytes}}{40 \cdot 10^6 \text{ bytes/s}} \cdot \frac{10^9 \text{ ns}}{\text{s}} + \\ &+ (4 \text{ ns} + 2 \text{ ns} \cdot 2) + (8 \text{ ns} + 150 \text{ ns}) = \underline{\underline{5.013.066 \text{ ns}}} \end{aligned}$$

$$\begin{aligned} t_{\text{cpu}} &= t_{\text{ini}} + N_{\text{robo}} \cdot t_{\text{robo}} + t_{\text{int}} = \\ &= 100 \text{ ns} + \frac{512 \text{ bytes}}{2.4 \text{ bytes}} \cdot 8 \text{ ns} + 8 \text{ ns} + 150 \text{ ns} = \underline{\underline{770 \text{ ns}}} \end{aligned}$$

$$\% \text{CPU}_{\text{ocup}} = \frac{770 \text{ ns}}{5.013.066 \text{ ns}} \cdot 100 = 0,015\%$$

d) N° máximo de discos

$$\begin{aligned} C_{\text{HDD}} &= \text{freq}_{\text{robo}} \cdot I_{\text{robo}} = \frac{V_{\text{buff}}}{\text{Tam Buffer}} \times [(t_{\text{prot}} + N^{\circ} \text{RD} \cdot t_{\text{mem}}) \cdot \text{MIPS}] \\ &= \frac{40 \cdot 10^6 \text{ bytes/s}}{2.4 \text{ bytes}} \times [(4 + 2 \cdot 2 \text{ ns}) \cdot \text{MIPS}] = 40 \text{ MIPS} \end{aligned}$$

$$N^{\circ}_{\text{HDD}} = \frac{1000 \text{ MIPS}}{40 \text{ MIPS}} = 25 \text{ HDD}$$

Archivo 5 K bytes

(2)

Red Ethernet DMA

- $V_{transf} = 1 \cdot 10^9 \text{ bit/s}$
- $R_{fin} = 75 \text{ inst}$
- Tamaño bloque 1Kbyte = 1.000 bytes $\approx 1024 \text{ bytes}$
- $R_{inicio} = 50 \text{ inst}$
- 1 RD de 32 bits

e) Lectura y transmisión

$$\begin{aligned} \text{top-ethernet} &= t_{inic} + t_{transf} + t_{ultimo \text{ rebo}} + t_{ultima \text{ int}} = \\ &= 50 \text{ ns} + \frac{1024 \text{ bytes} \cdot 8 \text{ bits/byte}}{10^9 \text{ bits/s}} \cdot 10^9 + (4 \text{ ns} + 2 \text{ ns}) + (8 + 75) = \\ &= 8331 \text{ ns} \end{aligned}$$

$$\begin{aligned} \text{Número Operaciones} &= \frac{\text{Tamaño Archivo}}{\text{Tamaño Sector}} = \frac{5 \text{ Kbytes} \cdot \frac{1024 \text{ bytes}}{1 \text{ Kbytes}}}{512 \text{ bytes}} = 10 \text{ op} \end{aligned}$$

$$\begin{aligned} \text{top-total} &= 10 \cdot \text{top-HDD} + \text{top-Ethernet} \\ &= 10 \cdot 5.013.068 \text{ ns} + 8.331 \text{ ns} = \underline{\underline{50.138.991 \text{ ns}}} \end{aligned}$$

f) % CPU libre

② Julio 2013

CPU

$$32 \text{ bits} = 4 \text{ byte}$$

$$500 \text{ MIPS} = 2 \text{ ns/I}$$

$$\text{SRI} = 20 \text{ ns}$$

Red Ethernet

Bloques 64 bytes - 1536 bytes

$$V_{\text{transf}} = 10^8 \text{ bits/s}$$

RD Módulo E/S 32 bit

a) Número interrupciones RTI si $t_{\text{máx}}^{\text{solicitud}} = 1,5 \mu\text{s} = 1,5 \cdot 10^3 \text{ ns}$

$$t_{\text{int}} = \frac{32 \text{ bits/pet}}{10^8 \text{ bits/s}} = 3.200 \text{ ns}$$

$$\text{Número } \cancel{\text{Interrupciones}} \text{ Instrucciones (ns)} = t_{\text{int}} - t_{\text{solicitud}} - t_{\text{SRI}}$$

$$= 3.200 - 1500 - 20 = 1680 \text{ ns}$$

$$\text{Número Instrucciones RTI} = 1.680 \text{ ns} \cdot \frac{1 \text{ I}}{2 \text{ ns}} = 840 \text{ I}$$

b) N° máx Ethernet con RTI = 100 inst

$$C_{\text{Ethernet}} = \text{Freq}_{\text{Int}} \cdot I_{\text{Int}} = \frac{V_{\text{transf}}}{\text{Tamaño Bloque}} \times (\text{SRI} + \text{RTI})$$
$$= \frac{10^8 \text{ bits/s}}{32 \text{ bits}} \times (100 + 10) = \frac{43,15 \text{ MIPS}}{34,375 \text{ MIPS}}$$

$$N^{\circ} \text{ Ethernet} = \frac{500 \text{ MIPS}}{34,375} = 14,5 \Rightarrow 14 \text{ Ethernets}$$

c)

$$16 = \frac{500 \text{ MIPS}}{x} \quad x = 31,25 \text{ MIPS}$$

$$31,25 \text{ MIPS} = \frac{10^7 \text{ bits/s} \cdot 110 \text{ Inst}}{\text{Tamaño Buffer}}$$

$$\text{Tamaño Buffer} = \frac{10^7 \text{ bits/s} \cdot 110 \text{ Inst}}{31.250.000 \text{ Inst/s}} = 35,2 \text{ bits}$$

64 bits

d) N^o máx E/S operaciones x 16 Ethernet

- Tamaño Bloque 64 bytes

- R_{ini} = 200 Inst

- R_{fin} = 100 inst

$$\begin{aligned} t_{op_ethernet} &= t_{ini} + t_{transf} + t_{int} + t_{fin} = \dots \\ &= 400 \text{ ns} + \frac{64 \text{ bytes} \cdot 8 \text{ bits/byte} \cdot 10^9}{10^7 \text{ bits/s}} + 20 \text{ ns} + 200 \text{ ns} + 200 \text{ ns} = \\ &= \underline{52020 \text{ ns/oper}} \end{aligned}$$

$$\text{Ops/s} = \frac{10^9 \text{ ns/s}}{52020 \text{ ns/oper}} = 19.223,4 \text{ oper/s}$$

$$19.223,4 \times 16 = 307.574,4 \text{ oper/s}$$

HDD DMS robo aislado

- $t_{acc} = 1ms = 1000ns$
- $Tama\ Sect = 1.024\ bytes$
- $R_{ini} = 200\ inst$
- $Proto = 6ns$

- $V_{transf} = 10 \cdot 10^6\ bytes/s$
- 4 RD de 32 bits
- $R_{fin} = 100\ inst$
- $Ciclo\ memo = 4ns$

e) N° máximo operaciones

$$\begin{aligned} t_{HDD} &= t_{ini} + t_{acc} + t_{transf} + t_{ultimo\ robo} + t_{fin} = \\ &= 400ns + 1000ns + \frac{1024\ bytes \cdot 10^9}{10 \cdot 10^6\ bytes/s} + 20ns + 200ns \\ &= 104.020\ ns/oper \end{aligned}$$

$$N^{oper/se} = \frac{10^9/s}{104.020\ ns/oper} = 961,3\ oper/s$$

CPU

- 64 bits = 8 bytes
- SRI = 4 ns = 8 int

$$2000 \text{ MIPS} = 0,5 \text{ ns/I}$$

Red Ethernet Interrupciones

- $V_{\text{transf}} = 10^9 \text{ bits/s}$
- 1 RD de 64 bits
- $R_{\text{fin}} = 200 \text{ inst} = 100 \text{ ns}$

$$\text{Tam Bloque} = 64 - 1536 \text{ bytes}$$

- $R_{\text{inicio}} = 100 \text{ inst} = 50 \text{ ns}$
- $RTI = 24 \text{ inst} = 12 \text{ ns}$

HDD DMD

- $V_{\text{transf}} = 10^8 \text{ bytes/s}$
- Tamaño Sector = 512 bytes
- $R_{\text{inicio}} = 80 \text{ inst} = 40 \text{ ns}$
- $t_{\text{prot}} = 2 \text{ ns} = 4 \text{ int}$

- $\bar{t}_{\text{acc}} = 4 \text{ ms} = 4000 \text{ ns}$
- Buffer 2 RD de 64 bits
- $R_{\text{fin}} = 400 \text{ inst} = 200 \text{ ns}$
- $t_{\text{acc memo}} = 1 \text{ ns} = 2 \text{ int}$

a) N° máx de Ethernet

$$C_{\text{Ethernet}} = \text{Freg}_{\text{Int}} \cdot I_{\text{Int}} = \frac{V_{\text{transf}}}{\text{Tamaño RD}} \cdot I_{\text{Int}} =$$

$$= \frac{10^9 \text{ bits/s} \cdot (8 + 24) \text{ I}}{64 \text{ bits}} = 500 \text{ MIPS}$$

$$N^{\circ} \text{ Ethernet} = \frac{2000 \text{ MIPS}}{500 \text{ MIPS}} = 4 \text{ Ethernet}$$

b) N° máx HDD

$$C_{HDD} = \text{Freq}_{\text{robo}} \cdot I_{\text{robo}} = \frac{V_{\text{transf}}}{\text{Tamaño RD}} \times (\text{Proto} + N^{\circ} \text{RD} \cdot \text{Mem}) =$$
$$= \frac{10^8 \text{ bytes/s}}{2.8 \text{ bytes}} \cdot (4 + 2 \cdot 2) = 50 \text{ MIPS}$$

$$N^{\circ} \text{HDD} = \frac{2000 \text{ MIPS}}{50 \text{ MIPS}} = 40 \text{ HDD}$$

c) top-Ethernet 1,5 KB y 6 cpu

$$\begin{array}{l} 1 \text{ KB} \rightarrow 1024 \text{ B} \\ 1,5 \text{ KB} \rightarrow x \end{array} \quad \left\{ \begin{array}{l} x = 1536 \text{ bytes} \end{array} \right.$$

$$t_{\text{top-Ethernet}} = t_{\text{ini}} + t_{\text{transf}} + t_{\text{int}} + t_{\text{fin}} =$$
$$= 50 \text{ ns} + \frac{1536 \text{ bytes} \cdot 8 \text{ bits/byte}}{10^9 \text{ bits/s}} + 16 \text{ ns} + 100 \text{ ns} =$$
$$= 12454 \text{ ns}$$

$$t_{\text{cpu}} = t_{\text{ini}} + N_{\text{INT}} \cdot t_{\text{INT}} + t_{\text{fin}} =$$
$$= 50 \text{ ns} + \frac{1536 \text{ bytes}}{8 \text{ bytes}} \cdot 16 \text{ ns} + 100 \text{ ns} =$$
$$= 3.222 \text{ ns}$$

d)

$$\begin{aligned}
 t_{op-HDD} &= t_{ini} + t_{acc} + t_{transf} + t_{ultimo} + t_{int} = \\
 &= 40 \text{ ns} + 4000000 \text{ ns} + \frac{512 \text{ byte}}{2.8 \text{ bytes}} \cdot 10^9 \text{ ns/s} + 3 \text{ ns} + 204 \text{ ns} \\
 &= 4.407 \text{ ns}
 \end{aligned}$$

ciclo
rebo

$$\begin{aligned}
 t_{op-cpu} &= t_{ini} + N_{obos} \cdot I_{robo} + t_{int} = \\
 &= 40 \text{ ns} + \frac{512 \text{ bytes}}{2.8 \text{ bytes}} \cdot 3 \text{ ns} + 204 \text{ ns} = \\
 &= 340 \text{ ns}
 \end{aligned}$$

ARQUITECTURA DE COMPUTADORES (Grado II)
PRIMER EXAMEN PARCIAL (9 de marzo de 2015)

1 (3 puntos) Responda *razonadamente* a las siguientes cuestiones sobre el sistema de E/S:

a) ¿Cuál es el criterio que se suele utilizar para la asignación de las prioridades de interrupción a los periféricos? ¿Por qué cree que se utiliza este criterio? Indique alguna excepción al mismo.

b) Describa los tiempos que intervienen en una operación de E/S de un disco duro (HD). Destaque el orden de magnitud habitual de cada uno de ellos. Señale, además, cuáles dependen de las características de la CPU y cuáles de la propia unidad de disco.

c) ¿De qué manera cree que el tamaño del *buffer* del módulo de E/S afecta al tiempo de CPU que se consume para la operación de E/S en el funcionamiento mediante interrupciones?

2 Sea un vehículo que viaja guiado por un programa de navegación que se ejecuta en un teléfono móvil. Durante su ejecución, el programa debe acceder a su dispositivo de almacenamiento interno para actualizar el mapa, leer las instrucciones de la ruta planificada, etc. Así mismo, dicho programa es interrumpido periódicamente por el GPS para actualizar la posición del dispositivo.

El móvil tiene un procesador de 32 bits a 1,6 GHz con una capacidad de procesamiento de 800 MIPS y su Secuencia de Reconocimiento de Interrupciones, SRI, equivale a la ejecución de 4 instrucciones. Su protocolo de concesión y liberación de los buses dura 1 ns y cada ciclo de acceso a memoria tiene una duración de 4 ns.

Las características del dispositivo de almacenamiento interno son las siguientes:

- Tiempo de acceso: 10 μ s.
- Velocidad de transferencia: $20 \cdot 10^6$ bytes/s.
- Sectores de 512 bytes.
- 4 registros de datos de 32 bits.
- Funcionamiento mediante interrupciones con una RTI que ejecuta 60 instrucciones.
- La rutina de programación de una operación de E/S ejecuta 200 instrucciones.
- La rutina de finalización de una operación de E/S ejecuta 100 instrucciones.

a) **(2 puntos)** Calcule qué porcentaje de tiempo de CPU consume una operación de E/S para la lectura de un sector de este dispositivo.

Durante la ejecución del programa de navegación, el GPS envía un paquete de 64 bytes cada segundo. Las características del GPS y su módulo de E/S son las siguientes:

- Transmisión de datos en serie: 8 bits de dato, más 1 bit de start, 1 bit de stop y sin bit de paridad.
- Velocidad de transmisión : 4.800 bits/s.
- Bloques de 64 bytes.
- 1 registro de datos de 8 bits.
- Funcionamiento mediante interrupciones con una RTI que ejecuta 40 instrucciones.
- La rutina de programación de una operación de E/S ejecuta 100 instrucciones.
- La rutina de finalización de una operación de E/S ejecuta 50 instrucciones.

• Suponiendo que al término de la recepción de cada paquete se programa la recepción del siguiente,

b) **(2 puntos)** Calcule qué porcentaje de tiempo de CPU deja libre una operación de E/S del GPS.

c) **(1 punto)** Si el programa de navegación realiza una media de 1.000 operaciones de E/S sobre el dispositivo de almacenamiento interno cada segundo, calcule cuánta capacidad de procesamiento queda disponible.

... Continúa en la otra cara ...

d) (1 punto) Durante el viaje se recibe una llamada telefónica. La transmisión de datos en este tipo de llamadas consiste en el envío continuo de 1.500 tramas (bloques) de 32 bytes cada segundo con una velocidad de transmisión de 384.000 bits/s. El Módulo de E/S del receptor telefónico funciona mediante robos de ciclo aislados de DMA. La recepción o transmisión de cada trama exige la programación de su correspondiente operación de E/S con las siguientes características:

- Velocidad de transmisión : 384.000 bits/s.
- Bloques de 32 bytes.
- 1 registro de datos de 32 bits.
- La rutina de tratamiento de interrupción, RTI, ejecuta 60 instrucciones.
- La rutina de programación de una operación de E/S ejecuta 200 instrucciones.

Calcule cuánto tiempo de CPU consume una operación de E/S del receptor telefónico.

e) (1 punto) El programa de navegación necesita ejecutar 200 millones de instrucciones cada segundo para funcionar con normalidad. Justifique si dicho programa verá afectado su funcionamiento por la llamada telefónica.

NOTAS: 14 de abril de 2015
REVISIÓN: 17 de abril de 2015

DURACIÓN: 1h 30 minutos
PUNTUACIÓN: Especificada en cada apartado

ARQUITECTURA DE COMPUTADORES (Grado II)
EXAMEN SEGUNDO PARCIAL (27 de abril de 2015)

Responda en hojas separadas a cada ejercicio, identificando claramente el comienzo de cada uno.

1 [6 puntos] Sea un procesador con direccionamiento a nivel de byte y tamaño de palabra y direcciones de 32 bits, cuyo sistema de memoria está compuesto por una memoria principal y un único nivel de memoria caché con dos cachés separadas, para instrucciones (McaI) y para datos (McaD), con las siguientes características:

- Capacidad 16KB, bloques de 32B y tiempo de acceso de 1 ns
- Ubicación asociativa por conjuntos de 2 bloques, política de lectura *out of order fetch* y política de reemplazo LRU
- Para la caché de datos, la política de escritura utilizada es aplazada con actualización (CBWA). En los fallos de escritura, *primero se escribe en Mp y a continuación se lleva el bloque a la caché*
- El tiempo empleado en transferir un bloque entre Mp y Mca es 54 ns, y el tiempo empleado para leer o escribir una palabra en Mp es 40 ns.

En este procesador se ejecuta un programa, del que se ha extraído para su análisis el siguiente fragmento, en el que las variables i, j, b, dim1 y dim2 están asignadas a registros. Cada elemento de los vectores y de la matriz ocupa una palabra y la matriz está almacenada en memoria por filas.

```
dim1 = 8, dim2 = 8*128;

for (i=0; i<dim2; i=i+1)          /* Primer bucle principal */
    y[i] = b * x[i];

for (i=0; i<dim1; i=i+2)          /* Segundo bucle principal */
    for (j=0; j<dim2; j++)
        a[i][j] = a[i][j] * y[j];
```

a) [1,5 puntos] Indique cómo interpretan las memorias caché las direcciones físicas: significado de cada campo y su longitud. Calcule cuántos bloques ocupan los vectores y los elementos de la matriz a los que se accede en el código anterior (*nótese que únicamente se accede a las filas 0, 2, 4 y 6 de la matriz*). Justifique asimismo si la caché de datos tiene capacidad suficiente para albergarlos a todos.

b) [1 punto] Determine en qué conjuntos de la caché de datos se ubicarán los vectores y las filas de la matriz a las que se accede, sabiendo que sus direcciones de comienzo en Mp son las siguientes:

x: 0x2000 y: 0x4000 a: 0x7000

c) [2 puntos] Calcule la tasa de aciertos de la caché de datos suponiendo que inicialmente está invalidada. Para ello se recomienda estudiar por separado los dos bucles principales. Indique además si es necesario reemplazar alguna información de la caché de datos y, en caso afirmativo, qué información y si los bloques correspondientes están o no modificados.

d) [1,5 puntos] Considerando ahora la ejecución del programa completo, que incluye el código anterior. Calcule el tiempo medio de acceso sabiendo que se han obtenido los siguientes valores:

- El 20 % de los accesos corresponden a datos, y de éstos el 70 % son de lectura.
- Tasa de aciertos de la caché de instrucciones: 98 %
- Tasa de aciertos de la caché de datos: 95 %
- Probabilidad de reemplazar un bloque modificado: 15 %

2 [4 puntos] Considere ahora que este procesador corresponde a un computador con memoria virtual paginada y las siguientes características:

- Páginas de 4KB y tres niveles de tablas de páginas, en las que cada tabla ocupa una página y cada entrada una palabra
- TLBs separadas para instrucciones y datos con tiempo de acceso de 1 ns

a) [1 punto] Determine el formato de las direcciones virtuales: campos que las forman y su longitud, así como el tamaño del espacio de direcciones virtuales de este procesador.

b) [1,5 puntos] Indique ordenadamente las acciones que se llevan a cabo desde que este procesador realiza un acceso de lectura de un dato hasta que dispone de él, suponiendo que no se produce fallo de página. Tenga en cuenta todas las posibilidades de acierto y fallo, tanto en TLB como en caché. Indique además en qué casos se obtendrían el mínimo y el máximo tiempo de lectura y calcule dichos tiempos.

c) [1,5 puntos] Sabiendo que los vectores a los que se accede en el código del ejercicio anterior comienzan en las direcciones virtuales siguientes:

$$Dv(x) = 0x02000004000 \quad Dv(y) = 0x02000006000$$

Indique cuántas tablas de páginas y qué entradas de dichas tablas se utilizan para traducir esta información

NOTAS: 12 de mayo de 2015
REVISIÓN: 14 de mayo de 2015

DURACIÓN: 90 minutos
PUNTUACIÓN: Indicada en cada apartado

ARQUITECTURA DE COMPUTADORES (Grado II)
EXAMEN SEGUNDO PARCIAL (27 de abril de 2015)

Responda en hojas separadas a cada ejercicio, identificando claramente el comienzo de cada uno.

1 [6 puntos] Sea un procesador con direccionamiento a nivel de byte y tamaño de palabra y direcciones de 32 bits, cuyo sistema de memoria está compuesto por una memoria principal y un único nivel de memoria caché con dos cachés separadas, para instrucciones (McaI) y para datos (McaD), con las siguientes características:

- Capacidad 16KB, bloques de 32B y tiempo de acceso de 1 ns
- Ubicación asociativa por conjuntos de 2 bloques, política de lectura *out of order fetch* y política de reemplazo LRU
- Para la caché de datos, la política de escritura utilizada es aplazada con actualización (CBWA). En los fallos de escritura, *primero se escribe en Mp y a continuación se lleva el bloque a la caché*
- El tiempo empleado en transferir un bloque entre Mp y Mca es 54 ns, y el tiempo empleado para leer o escribir una palabra en Mp es 40 ns.

En este procesador se ejecuta un programa, del que se ha extraído para su análisis el siguiente fragmento, en el que las variables i, j, b, dim1 y dim2 están asignadas a registros. Cada elemento de los vectores y de la matriz ocupa una palabra y la matriz está almacenada en memoria por filas.

```
dim1 = 8, dim2 = 8*128;

for (i=0; i<dim2; i=i+1)          /* Primer bucle principal */
    y[i] = b * x[i];

for (i=0; i<dim1; i=i+2)          /* Segundo bucle principal */
    for (j=0; j<dim2; j++)
        a[i][j] = a[i][j] * y[j];
```

a) [1,5 puntos] Indique cómo interpretan las memorias caché las direcciones físicas: significado de cada campo y su longitud. Calcule cuántos bloques ocupan los vectores y los elementos de la matriz a los que se accede en el código anterior (*nótese que únicamente se accede a las filas 0, 2, 4 y 6 de la matriz*). Justifique asimismo si la caché de datos tiene capacidad suficiente para albergarlos a todos.

b) [1 punto] Determine en qué conjuntos de la caché de datos se ubicarán los vectores y las filas de la matriz a las que se accede, sabiendo que sus direcciones de comienzo en Mp son las siguientes:

x: 0x2000 y: 0x4000 a: 0x7000 **256**

c) [2 puntos] Calcule la tasa de aciertos de la caché de datos suponiendo que inicialmente está invalidada. Para ello se recomienda estudiar por separado los dos bucles principales. Indique además si es necesario reemplazar alguna información de la caché de datos y, en caso afirmativo, qué información y si los bloques correspondientes están o no modificados.

d) [1,5 puntos] Considerando ahora la ejecución del programa completo, que incluye el código anterior. Calcule el tiempo medio de acceso sabiendo que se han obtenido los siguientes valores:

- El 20 % de los accesos corresponden a datos, y de éstos el 70 % son de lectura.
- Tasa de aciertos de la caché de instrucciones: 98 %
- Tasa de aciertos de la caché de datos: 95 %
- Probabilidad de reemplazar un bloque modificado: 15 %

2 [4 puntos] Considere ahora que este procesador corresponde a un computador con memoria virtual paginada y las siguientes características:

- Páginas de 4KB y tres niveles de tablas de páginas, en las que cada tabla ocupa una página y cada entrada una palabra
- TLBs separadas para instrucciones y datos con tiempo de acceso de 1 ns

a) [1 punto] Determine el formato de las direcciones virtuales: campos que las forman y su longitud, así como el tamaño del espacio de direcciones virtuales de este procesador.

b) [1,5 puntos] Indique ordenadamente las acciones que se llevan a cabo desde que este procesador realiza un acceso de lectura de un dato hasta que dispone de él, suponiendo que no se produce fallo de página. Tenga en cuenta todas las posibilidades de acierto y fallo, tanto en TLB como en caché. Indique además en qué casos se obtendrían el mínimo y el máximo tiempo de lectura y calcule dichos tiempos.

c) [1,5 puntos] Sabiendo que los vectores a los que se accede en el código del ejercicio anterior comienzan en las direcciones virtuales siguientes:

$$Dv(x) = 0x02000004000 \quad Dv(y) = 0x02000006000$$

Indique cuántas tablas de páginas y qué entradas de dichas tablas se utilizan para traducir esta información

NOTAS: 12 de mayo de 2015
REVISIÓN: 14 de mayo de 2015

DURACIÓN: 90 minutos
PUNTUACIÓN: Indicada en cada apartado

ARQUITECTURA DE COMPUTADORES (Grado II)
RECUPERACIÓN SEGUNDO PARCIAL (12 de Junio de 2015)

Responda en hojas separadas a cada ejercicio.

1 [6 puntos] Sea un procesador con tamaño de palabra de 64 bits, direcciones físicas de 40 bits y direccionamiento a nivel de byte, cuyo sistema de memoria tiene las siguientes características:

- Memorias caché separadas para instrucciones y datos de 32 KB cada una, bloques de 32 bytes y tiempo de acceso de 2 ns. Las políticas utilizadas son las siguientes:
 - Ubicación asociativa por conjuntos de 2 bloques y política de lectura *out of order fetch*.
 - Política de escritura de la caché de datos diferida con actualización (CBWA). En los fallos de escritura, *primero se lleva el bloque a la caché y después se realiza el acceso de escritura en ésta*.
- Memoria principal, cuyo tiempo de acceso para leer o escribir una palabra es 40 ns, y el tiempo necesario para transferir un bloque entre Mp y caché es 60 ns.

En este procesador se ejecuta el siguiente fragmento de código, cuya función consiste en separar los elementos que ocupan las posiciones pares de un vector **vect** de los elementos que ocupan las posiciones impares de ese mismo vector, dejando el resultado en un par de vectores de salida: **vpar** y **vimpar**

```
(1)      add r9, r0, 1024      ; k = 0
(2)      add r5, r0, r0        ; for (i=0; i<1024; i=i+2){
(3)      add r10, r0, vect     ;   vpar[k] = vect[i];
(4)      add r11, r0, vpar     ;   vimpar[k] = vect[i+1];
(5)      add r12, r0, vimpar   ;   k=k+1;
(6) buc:  ld r8, 0(r10)         ; }
(7)      st r8, 0(r11)
(8)      ld r8, 8(r10)
(9)      st r8, 0(r12)
(10)     add r10, r10, 16
(11)     add r11, r11, 8
(12)     add r12, r12, 8
(13)     add r5, r5, 2
(14)     cmp r7, r5, r9
(15)     blt r7, buc
```

Cada instrucción y cada elemento de los vectores ocupan una palabra. El código está almacenado en Mp a partir de la dirección H'0000001000, el vector **vect** a partir de la dirección H'0000002000 y los vectores **vpar** y **vimpar**, en este orden, a continuación de **vect**.

a) Indique razonadamente cómo interpretan las memorias caché las direcciones físicas, significado de cada campo y su longitud, y calcule cuántos bloques ocupan en Mp tanto el código como los vectores a los que se accede.

b) Calcule en qué conjuntos de las cachés se ubicarán los vectores y el código.

c) Calcule las tasas de aciertos de cada una de las cachés, suponiendo que ambas están inicialmente invalidadas.

d) Calcule los tiempos medios de acceso, tanto a instrucciones como a datos. En el caso de los accesos a datos indique claramente los tiempos debidos a las lecturas y a las escrituras. Explique brevemente a qué se debe la diferencia entre los tiempos obtenidos para instrucciones y datos.

2 [4 puntos] Considere ahora que el procesador anterior dispone de los mecanismos necesarios para implementar memoria virtual paginada con las siguientes características:

- Páginas de 16KB
- TLBs separadas para instrucciones y datos, con tiempo de acceso de 1 ns
- Tres niveles de tablas de páginas.

a) Indique razonadamente bajo qué condiciones se producen los tiempos mínimo y máximo de acceso a este sistema de memoria suponiendo que no se producen fallos de página, y calcule dichos tiempos.

b) Calcule cuántas entradas deberían tener como mínimo las TLBs para que se produzcan únicamente fallos de primera referencia en la traducción del código y de los vectores.

c) Como es sabido, en este procesador se pueden dar tres tipos de fallos en el acceso a la información: fallo de TLB, fallo de caché y fallo de página. A continuación se muestran algunas de las posibles combinaciones de estos tres eventos. Indique razonadamente cuáles se pueden producir, cuáles no y bajo qué circunstancias:

- c.1) Acierto en TLB, acierto en caché y fallo de página
- c.2) Acierto en TLB, fallo en caché y fallo de página
- c.3) Fallo en TLB, acierto en caché y ~~no fallo~~ ^{acierto} de página
- c.4) Acierto en TLB, acierto en caché y ~~no fallo~~ ^{acierto} de página

NOTAS: 25 de junio de 2015
REVISIÓN: 26 de junio de 2015

DURACIÓN: 1 h y 30 minutos
PUNTUACIÓN: Especificada en cada apartado

PROBLEMAS

1 En un computador cuyo procesador dispone de un pipeline de 5 etapas se ejecuta el programa que se muestra a continuación, desarrollado inicialmente para un procesador sin pipeline.¹

```
1 (1)      addu r6, r6, 0      ; contador r6=0
1 (2) BUC:  ld r3, r10, 0      ; r3 <- v[i]
1+2h (3)    bbl 0, r3, IMPAR   ; si r3 impar => IMPAR
1 (4)      st r3, r11, 0      ; par[j] <- v[i]
1 (5)      addu r11, r11, 4    ;
1+2h (6)    br FINBUC         ;
1 (7) IMPAR: st r3, r12, 0    ; impar[k] <- v[i]
1 (8)      addu r12, r12, 4    ;
1 (9) FINBUC: addu r10, r10, 4 ;
1 (10)     addu r6, r6, 1      ;
1 (11)     cmp r7, r6, 1000   ; si r6<1000 => BUC
1+2h (12)   bbl lt, r7, BUC   ;
```

Suponga que r10, r11 y r12 contienen las direcciones de comienzo de los vectores v[], par[] e impar[] respectivamente.

Se desea analizar el comportamiento de este programa al ejecutarse en un procesador con pipeline que tiene el acceso al banco de registros dividido en dos semiciclos y resuelve las dependencias de control introduciendo automáticamente ciclos de parada. Las etapas del pipeline de este procesador son las siguientes:

- E1: Fetch e incremento del PC.
- E2: Decodificación, lectura de registros, cálculo de la dirección de salto.
- E3: Ejecución, cálculo de la dirección efectiva para load/store y evaluación de la condición de salto.
- E4: Acceso a memoria para lectura o escritura de datos.
- E5: Escritura en registros.

Se pide:

a) (1,5 punto) Describa las dependencias de datos y de control, así como los ciclos de parada que se introducen en cada una de ellas, suponiendo:

- 1) Que no dispone de adelantamientos.
- 2) Que tiene todo tipo de mecanismos de adelantamiento.

b) (1 punto) Calcule el número de ciclos invertidos al ejecutar el programa anterior si se ha observado que la mitad de los elementos del vector v[] son pares. Considere para este y los restantes apartados que el procesador dispone de adelantamientos.

c) (0,5 puntos) Calcule el CPI correspondiente a la ejecución de este programa en el procesador indicado.

d) (1 punto) Considere un procesador como el anterior pero modificado para que su estrategia de salto sea *delay-slot-1* (salto retardado). Para ello se ha adelantado a la etapa E2 la evaluación de la condición de salto.

Indique cuántos huecos se tendrían que rellenar con instrucciones *nop* tras cada una de las instrucciones de salto para que el funcionamiento fuese correcto. Calcule el nuevo número de ciclos e indique también la ganancia (*speedup*) obtenida respecto a la versión que inserta ciclos de parada. Justifique si tal *speedup* corresponde a una mejora o a una disminución de las prestaciones.

e) (1 punto) Proponga todas las modificaciones al código que considere útiles para mejorar las prestaciones del fragmento de código anterior, indicando cuáles afectan a las dependencias de datos y cuáles a las de control. Calcule el nuevo tiempo de ejecución (en ciclos) y determine el *speedup* obtenido respecto a la versión original.

¹Recuerde que la instrucción *bbl x, reg, DESP* es un salto condicional a la dirección determinada por DESP. La condición de salto es que el bit x del registro reg tenga valor 1.

1) 16/ Junio/ 2014

CPU

- 64 bits/palabra
- Espacio para direcciones 4TB

- Direccionamiento a byte
- $t_{accMp} = 40ns$

Cache DeI

- Capacidad 32 KB
- $t_{accMca} = 2ns$
- $*FE \rightarrow t_{accMp} + t_{HP} \rightarrow Mca$
- R/w palabra $Mp = 40ns$

- 32B/Bloque
- Asociativa ~~2~~ 2Bbloq/conj

• $t_{MP \rightarrow Mca} = 55ns$

$VS = H'2000 \quad m\Delta = H'4000 \quad mB = H'8000$

a) Direcciones Físicas en McaD

$$4TB \cdot \frac{1024GB}{1TB} \cdot \frac{1204MB}{1GB} \cdot \frac{1024KB}{1MB} \cdot \frac{1024B}{1KB} = 2^{42}$$

41	28	9	5	0
Etiqueta		Conjunto	B/Bloque	

• $B/Bloque = 32B/Bloque = 2^5$

• $Conjunto = \frac{32KB \cdot \frac{1024B}{1KB} \cdot \frac{Bloq}{32B}}{2^{Bloq/Conj}} = 512 conjuntos = 2^9$

b) Tamaño de $m\Delta$, mB y VS . Dónde se alojan en cache'

Tamaño matriz Δ y $B = \frac{32f \times 32c \times 8B/elemento}{32B/Bloque} = 256 Bloques = 2^8 Bloques$

Tamaño vector = $\frac{32f \times 8B/elemento}{32B/Bloque} = 8 bloques = 2^3 Bloques$

Tamaño Total = $2 \times 256 + 8 = 520 Bloques$

Tamaño Caché = $\frac{32KB \cdot \frac{1024B}{KB}}{32B/Bloques} = 1024 Bloques$

← Espacio perfecto

VS: H'2000

00|10 0000 000|0 0000 \Rightarrow Conjunto 256

mA: H'4000

01|00 0000 000|0 0000 \Rightarrow Conjunto 0

mB: H'8000

10|00 0000 000|0 0000 \Rightarrow Conjunto 0

c) Tipos fallos en HCaD. Reemplazo por bloque modificado

mA = línea 0 (0 - 255)

mB = línea 1 (0 - 255)

VS = línea 0 (256 - 264)

Al no haber solapamiento de datos, los fallos producidos son por 1ª Referencia

No se producen reemplazos

d) N° Aciertos y N° Fallos . Hit Ratio

$$\begin{array}{l} \text{N° Accesos: } 3 \times 32 \times 32 + 32 \times 32 + 32 \\ \quad \quad \quad 3072 + 1056 = 4128 \text{ N° Accesos} \end{array}$$

N° Fallos

① Bloque = 520 fallos

$$\text{Hit Ratio} = \frac{4128 \text{ accesos} - 520 \text{ fallos}}{4128 \text{ accesos}} = 0,874 \Rightarrow 87,4\%$$

e) tiempo total accesos y \bar{t}_{acc}

$$\begin{aligned} t_{total} &= N^{\circ} \text{Acierto} \times T_{Acierto} + N^{\circ} \text{Fallos} \times T_{Fallos} = \\ &= (4128 - 520) \times t_{ca} + 520 \times (t_{ca} + t_{mp}) = \\ &= 3608 \cdot 2 \text{ ns} + 520 \times (2 + 40) = 29056 \text{ ns} \end{aligned}$$

$$\bar{t}_{acc} = \frac{t_{total}}{N^{\circ} \text{accesos}} = \frac{29056}{4128} = 7,03 \text{ ns}$$

f) Hit Ratio, t_{total} y \bar{t}_{acc} . Ganancia

$$N^{\circ} \text{Accesos: } \begin{matrix} \textcircled{L} & \textcircled{E} \\ 2 \times 32 \times 32 & 32 \end{matrix}$$

$$\begin{matrix} 2048 & 32 \\ \textcircled{F} 512 & \textcircled{F} 8 \end{matrix} \quad \begin{matrix} = 2080 \text{ accesos} \\ = 520 \text{ fallos} \end{matrix}$$

$$\text{Hit Ratio} = \frac{2080 - 520}{2080} = 0.75 \Rightarrow 75\%$$

$$t_{total} = ND \times t_a + NF \times (t_{ca} + t_{mp}) =$$

$$= 1560 \times 2 + 520 \times 42 = 24960 \text{ ns}$$

$$\bar{t}_{acc} = \frac{t_{total}}{N \text{Accesos}} = \frac{24960 \text{ ns}}{2080 \text{ acc}} = 12 \text{ ns}$$

$$\text{Ganancia} = \frac{t_{total \text{ ori}}}{t_{total \text{ mej}}} = \frac{29056}{24960} = 1.16 \Rightarrow 16\%$$

② 16/Junio/2014

Memoria Virtual (paginada)

- Páginas de 4KB
- 1 palabra/entrada
- $t_{acc \text{ TLB}} = 1 \text{ ns}$
- 4 niveles de tabla/página
- TLB's 16 entradas

a) N° entradas de TLB se van a usar

$$\text{páginas matriz} = \frac{32f \times 32c \times 8B/\text{elem}}{4KB/\text{pag} \cdot \frac{1024B}{1KB}} = 2 \text{ páginas cada matriz}$$

$$\text{páginas vector} = \frac{32f \times 8B/\text{elem}}{4KB/\text{pág} \cdot \frac{1024B}{1KB}} \approx 0.06 \text{ páginas} = 1 \text{ página}$$

b) Solapar la McaD con el TLB

$$\text{TLB} = 4KB \cdot \frac{1024}{1KB} = 2^{12} B \Rightarrow 12 \text{ bits}$$

$$\text{McaD} = 9 \text{ bit Corij} + 5 \text{ bit B/Blog} \Rightarrow 14 \text{ bits}$$

$$\text{TLB} < \text{McaD}$$

No hay solapamiento

c) T_{min}^{acc} , T_{max}^{acc} , T_{min}^{ocup} y T_{max}^{ocup}

$$t_{min}^{(acc/ocup)} = t_{TLB} + t_{MCA} = 1ns + 2ns = 3ns \quad \begin{array}{l} TLB \text{ OK} \\ MCA \text{ OK} \end{array}$$

$$t_{max}^{(acc)} = t_{TLB} + t_{TP's} + t_{mca} + t_{mp} = 1 + 4 \times 40 + 2 + 40 = 203ns$$

$$t_{max}^{ocupL} = T_{TLB} + T_{TP's} + T_{MCD} + t_{MP \rightarrow MCA}$$

$$t_{max}^{ocupE} = T_{TLB} + T_{TP's} + t_{MCD} + t_{MP \rightarrow MD} + t_{MP}$$

Problema 4

① add r4, r0, 100 1
② or r3, r0, #2000 1
③ < r2, r0, #2000 1
④ or r1, r0, #1000 1
buc: & r11, r1, r0 1 + 1h
⑥ add r11, r11, r11 1
⑦ lsl r12, r2, r0 1 + 1h
⑧ add r12, r12, r12 1
⑨ sub r13, r12, r11 1
⑩ st r13, r3, r0 1
⑪ add r1, r1, 4 1
⑫ add r2, r2, 4 1
⑬ add r3, r3, 4 1
⑭ sub r4, r4, 1 1
⑮ cmp r13, r4, r0 1
⑯ bgt r13, & buc 1 + 1h ✓
add r11, r16, r17 2h ×

• predicción de salto efectivo

$\checkmark = 1$ parón
 $\times = 2$ parones

- * Bifurcación retardada

$\sqrt{\quad} = 0$ parous
 $X = 1$ parou

E1: Fetch

EZ: Dec, LR, Calculo Dir Salto *

E3: Ejecución, calcula condición, dir memoria
datos

E4: Memoria Datos (ld/st)

ES: Escritura Registro

a) Dependencias, parones y CPI

[illegible]

$$CPI = \frac{4 + \sqrt{(n-1) \cdot (12+3n)} + \sqrt{(12+3n)} + 1}{4 + (n-1) \cdot 12 + 12 + 1} = \frac{4 + 8 + 12 + 3 + 1}{4 + 12 + 12 + 1} = \frac{28}{29}$$

① 16-Junio - 2014

Memoria Cache

• 64 bits/palabra

• Dirección aumento byte

• Espacio direcciones 4TB

• $t_{mp} = 40ns$

Mcache

• tamaño 32KB

• 32B/Bloque

• $t_{mca} = 2ns$

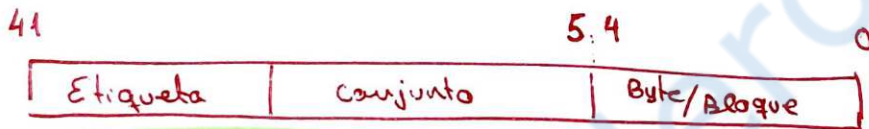
• Conjuntos 2 bloques

• Fallo: 1º Escritura Mp 2º Mp \rightarrow Mcache

• $t_{mp} \rightarrow mca = 55ns$

a) Direcciones físicas

$$4TB \cdot \frac{1024GB}{1TB} \cdot \frac{1024MB}{1GB} \cdot \frac{1024KB}{1MB} \cdot \frac{1024B}{1KB} = 2^{42} \text{ direcciones}$$



① $B/Bloq = 32B/Bloque = 2^5 = 5 \text{ bits}$

② $\text{Conjunto} = \frac{32KB \cdot \frac{1024B}{1KB} \cdot \frac{Bloque}{82B}}{2 \cdot \frac{Bloque}{conjunt}} = 512 \text{ conjuntos} = 9 \text{ bits}$

③ $\text{Etiqueta} = 42 - 9 - 5 = 28$

b) tamaño VS, mB y mB y posición

$VS = \frac{32 \text{ elemento} \times 8B/\text{elemento}}{32B/Bloque} = 8 \text{ Bloques}$

$\begin{matrix} mB \\ y \\ mB \end{matrix} = \frac{32x \times 32x \times 8B/\text{elemento}}{32B/Bloque} = 256 \text{ Bloques}$

MA H' 4000
MB H' 8000
VS H' 2000

VS

MA

MB

conjunto 256

00|10 0000 0000 0000
conjunto 0
01|00 0000 0000 0000
conjunto 0
10|00 0000 0000 0000

mCa	
0	A0 B0
1	A1 B1
2	A2 B2
256	
	S0
	S1
	S2

$$\text{Total Bloques} = 256 \times 2 + 8 = 520 \quad \leftarrow \text{OK!!}$$

$$\text{Bloques Cache} = 32 \text{ KB} \cdot \frac{1024 \text{ B}}{1 \text{ KB}} \cdot \frac{\text{Bloque}}{32 \text{ B}} = 1024 \text{ Bloque}$$

c) Fallos. Reemplazo de huecos

~~2º~~ 1º Referencia. No hay reemplazo

Bloque

d) N° accesos y fallos (R/w). Hit Ratio

8 bits = 1 byte
64 bits = 8 bytes

<u>Lectura</u>	<u>Escritura</u>	<u>totales</u>
$32 \times 32 \times 3$	$32 \times 32 + 32$	4128
		accesos a memoria

$$\text{fallos} = 256 \times 2 + 8 = 520 \text{ fallos}$$

1º Referencia

$$\text{Hit Ratio} = \frac{N^{\circ} \text{Accesos} - N^{\circ} \text{fallos}}{N^{\circ} \text{accesos}} = \frac{4128 - 520}{4128} = 0.87 = 87\%$$

e) tiempo total en accesos y t medio acceso

$$t_{\text{total}} = N^{\circ} \text{Accesos} \times t_{\text{acceso}} + N^{\circ} \text{fallos} \times t_{\text{fallo}}$$

$$(4128 - 520) \times 2 \text{ ns} + 520 \cdot (2 + 40) = 29056 \text{ ns}$$

$t_a + t_{me}$

$$T_{\text{acc}} = \frac{t_{\text{total}}}{N^{\circ} \text{acceso}} = \frac{29056 \text{ ns}}{4128 \text{ acceso}} = 7.03$$

② 16 - Junio - 2014

Memoria Virtual Paginada

- 4KB/página
- 4 niveles
- 1 página/entrada
- TLB $\begin{cases} D & 16 \text{ entradas} \\ I & 16 \text{ entradas} \end{cases}$ \downarrow $t_{acc} = 1ns$

a) Número de entradas

$$\text{tamaño vector} = \frac{32 \text{ elementos} \times 8B/\text{elemento}}{4KB/página \cdot \frac{1024B}{1KB}} = \frac{256B}{4KB} = 0,064 \text{ páginas} \approx 1 \text{ página}$$

$$\text{tamaño matriz} = \frac{32f \times 32c \times 8B/\text{elemento}}{4KB/página \cdot \frac{1024B}{1KB}} = 2 \text{ páginas/matriz}$$

$$N^{\circ} \text{ total páginas} = 2 \times 2 + 1 = 5 \text{ páginas}$$

b) Solapamiento?

$$TLB = 4KB/página \cdot \frac{1024B}{1KB} = 2^{12} \Rightarrow 12 \text{ bits}$$

$$MAC = 9 \text{ bit/conjunto} + 5 \text{ bit/B/Byte} \Rightarrow 14 \text{ bits}$$

$TLB < MAC$
no solapamiento

c)

$$t_{min} = T_{TLB} + T_{MAC} = 1 + 2 = 3ns$$

(acc y oerp)

$$t_{max} = T_{TLB} + T_{TP's} + t_{mac} + t_{mp}$$

(acc)

$$\left. \begin{array}{l} \text{lectura} \\ t_{max} \text{ (oerp)} \end{array} \right\} = T_{TLB} + T_{TP's} + T_{fallo}$$

$$\left. \begin{array}{l} \text{escritura} \\ t_{max} \text{ (oerp)} \end{array} \right\} = T_{TLB} + T_{TP's} + T_{mp} + T_{fallo}$$

FORMULAS

• MCA

$$\frac{\text{Tamaño Direcciones}}{\text{Direcciones}} = \frac{\text{tamaño Cache}}{\text{para direccionar (potencia 2)}} = 2^{\text{tamaño bits}}$$

| Etiqueta | Conjunto | Byte Bloque |

$$\frac{\text{Byte en Bloque}}{\text{Bloque}} = \frac{\text{tamaño cache (B)}}{B/\text{Bloque}}$$

$$\text{Conjunto} = \frac{\text{Byte en Bloque}}{\text{Política Ubicación}} = \frac{\text{Byte en Bloque}}{\text{Asociativa}} = \frac{2B \log}{\text{Conjunto}}$$

$$\text{Etiqueta} = \text{Total Bits} - \text{Byte Bloque} - \text{Conjuntos}$$

$$t_{\min} = T_{TLB} + T_{MCA}$$

(acceso)

$$t_{\max} = T_{TLB} + T_{TP'S} + T_{MCA} + T_{MP}$$

(ace)

$$t_{\max} = T_{TLB} + T_{TP'S} + T_{MCA} + T_{MP \rightarrow MCA}$$

(ocup R)

$$t_{\max} = T_{TLB} + T_{TP'S} + T_{MCA} + T_{MP} + T_{MP \rightarrow MCA}$$

(ocup W)

Condiciones de fallos

$$t_{\text{aciento}}^{\text{acc/ocup}} = N^{\circ} \text{Acientos} \times t_{\text{caché}}$$

$$t_{\text{fallos}}^{\text{acc}} = N^{\circ} \text{Fallos} (t_{\text{caché}} + t_{\text{mp}})$$

$$t_{\text{fallos}_l}^{\text{ocup}} = N^{\circ} \text{Fallos} (t_{\text{caché}} + \cancel{t_{\text{mp}}} + t_{\text{bloque}})$$

$$t_{\text{fallos}_e}^{\text{ocup}} = N^{\circ} \text{Fallos} (t_{\text{caché}} + t_{\text{mp}} + t_{\text{bloque}})$$

×

$$\overline{T}_{\text{trad}} = T_{\text{TLB}} + (1 - H_{r\text{TLB}}) \times T_{\text{TP'S}}$$

$$T_{\text{if}} = P_{rL} \times T_{\text{infL}} + P_{rE} \times T_{\text{infE}}$$

$$T_{\text{infL}} = T_{\text{MCA}} + (1 - H_{r\text{MCA}}) \times [P_{r\text{Mod}} \times T_{\text{bloq-Mp}} + T_{\text{mp}}]$$

$$T_{\text{infE}} = T_{\text{MCA}} + (1 - H_{r\text{MCA}}) \times [P_{r\text{Mod}} \times T_{\text{ro-Mp}} + T_{\text{mp-MCA}} + T_{\text{MCA}}]$$

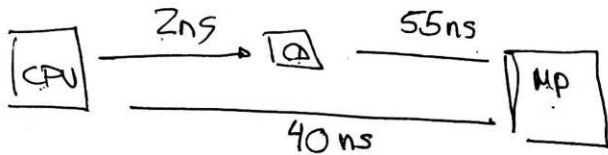
$$T_{\text{acc}} = T_{\text{trad}} + T_{\text{inf}}$$

① 16/Junio/2014

CPU palabra 64 bits
Direcciónamiento a byte
4TB direcciones

- Política Escritura CBWA

* Fallos escritura 1ª escritura Mp
2ª lleva bloqueita



a) Interpreta McaD direcciones

~~28 bits de dirección~~

4TB $\approx 2^{42}$ B por tanto
las direcciones son de 42 bits

28	9	5
Etiqueta	Conjunto	Byte en bloque

* Byte en Bloque = $\frac{\text{Tamaño Cache}}{\text{B/Bloque}} = \frac{32 \text{ KB}}{32 \text{ B/Bloque}} = 1024 \text{ Bloques cache}$

política ubicación Asociativa conjunto 2 Bloques

* Conjunto: $\frac{\text{Bloques}}{\text{Política ubicación}} = \frac{2^{10} \text{ Bloques}}{2 \text{ Bloques/conj}} = 512 \text{ conjun} = 2^9 \text{ conjun}$

0 - 512

* Etiqueta = Total Bits direcc - (Byte en Bloque + Conjunto) = 42 - 5 - 9 = 28

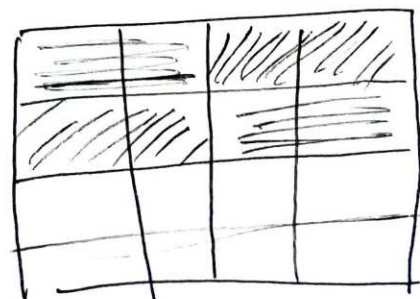
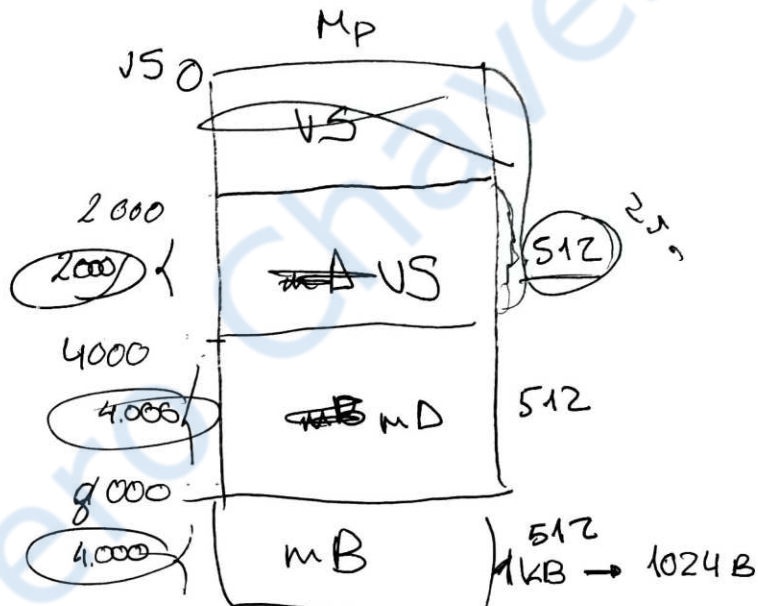
b) N° Bloque que ocupan las matrices y el vector ~~en~~

* Conjuntos en cache en que se alojan

Acceso Mp = 40 ns

McaI y McaD

- Tamaño 32 KB
- Bloque 32B
- Tacc = 2ns
- Asociativa Conjunto 2B
- Política Lectura out of order
- Política Reemplazo LRU



$$\text{tamaño matriz} = n^{\circ} f \times n^{\circ} \text{ Colom} \times \text{tamaño elemento} = 32f \times 32c \times 8B/\text{elemento} = 2^{13}B$$

$$\text{Ocupa } Mp = \frac{\text{tamaño matriz}}{\text{Capacidad Bloque}} = \frac{2^{13}}{32B} = \frac{2^{13}B}{2^5B/\text{Bloque}} = 256 \text{ Bloques } \begin{matrix} MA \\ + \\ MB \end{matrix}$$

$$\text{tamaño vector} = n^{\circ} \text{ elementos} \times \text{tamaño elemento} = 32 \text{ de} \cdot 8B/\text{elemento} = 2^8B$$

$$\text{Ocupa } Mp = \frac{\text{tamaño vector}}{\text{Capacidad Bloque}} = \frac{2^8B}{2^5B/\text{Bloque}} = 8 \text{ Bloques } VS$$

$$\text{total Bloques } Mp = 2 \times 256 + 8 = 520 \text{ Bloques} < 1.024 \text{ Bloques de cache}$$

$$V = 8$$

$$wB = 256$$

$$mB = 256$$

$$\begin{array}{r} 2(0000) \\ 00|100000000000|00000000 \end{array}$$

$$2000 \text{ Hex} \text{ --- Bi } 00|1000000000|00000000$$

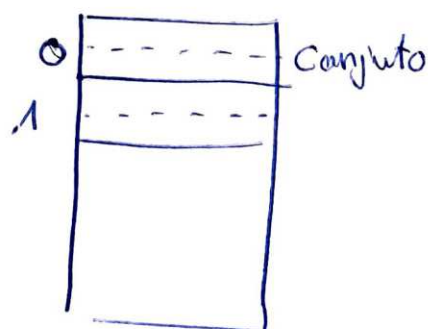
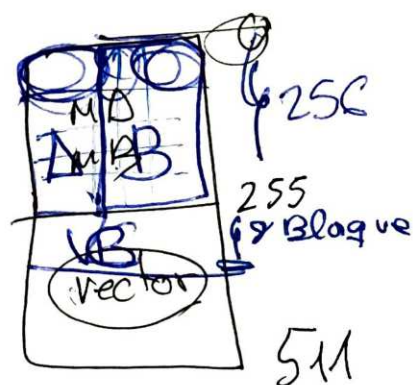
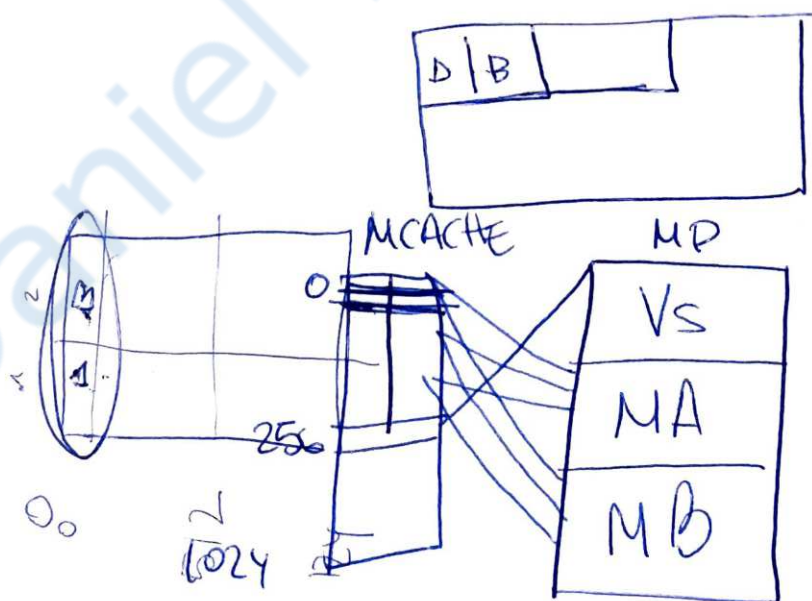
conjunto 256

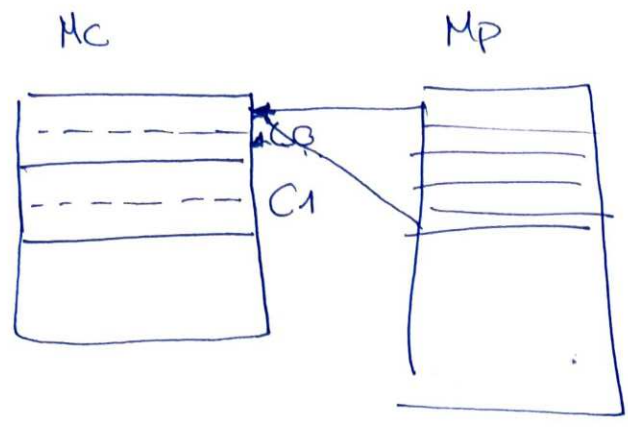
$$4000 \text{ Hex} \text{ --- Bi } 01|0000000000|00000000$$

conjunto 0

$$8000 \text{ Hex} \text{ --- Bi } 01|0000000000|00000000$$

conjunto 0





$$m\Delta = 256$$

$$mB = 256$$

$$v = 8$$

$$\underline{\underline{520 \text{ fallos}}}$$

c) Fallos Forzados (1ª Referencia) ya que hay hueco suficiente en la cache

d) N° Accesos y Fallos / # R W tasa aciertos (Hit Ratio)

N° Accesos

~~$$4 \times 32$$~~

Lectura

$$3 \times 32 \times 32$$

$$3.072 R$$

Escritura

$$32 + 32 \times 32$$

$$1.056 W = 4128 \text{ acc}$$

$$\text{Hit Ratio} = \frac{N^\circ \text{accesos} - N^\circ \text{fallos}}{N^\circ \text{accesos}} = \frac{4128 - 520}{4128} = \underline{\underline{87,4\%}}$$

$$N^\circ \text{Fallos} = m\Delta + mB + v = 256 + 256 + 8 = \underline{\underline{520 \text{ fallos}}}$$

e) Tiempo total acc Mp // \bar{t}_{acc}

$$T_{\text{total}} = N^\circ \text{Aciertos} \times T_{\text{acierto}} + N^\circ \text{Fallos} \times T_{\text{fallo}} =$$

$$(N_{\text{total}} - N_{\text{fallos}})(t_{\text{acc cache}}) + (N_{\text{fallos}})(t_{\text{cache}} + t_{\text{mp}})$$

$$(4128 - 520) \times 32 + 520 \times (40 + 2) = 29.056 \text{ ns}$$

$$\bar{t} = \frac{t_{\text{total}}}{N^\circ \text{accesos}} = \frac{29.056}{4128} = \underline{\underline{7 \text{ ns}}}$$

1) Tasa Aciertos, T_{total} y T_{acc}

$$R \quad W$$

$$32 \times 32 \times 2 \quad 32 \times 1$$

$$2048 \quad 32 = 2080$$

$$Hit Ratio = \frac{2080 - 520 \text{ fallos}}{2080} = 25\%$$

$$T_{total} = NOK \cdot t_{OK} + N_{not} \cdot t_{not}$$

$$(2080 - 520) \cdot 2 + 520 \cdot (2 + 40) = 24.960 \text{ ns}$$

$$\overline{T} = \frac{\text{tiempo total}}{N^{\circ} \text{ accesos}} = \frac{24.960}{2080} = 12$$

2) Ganancia

$$G = \frac{T_{total} \text{ Origi}}{T_{total} \text{ modf}} = \frac{29.056}{24.960} = 1,16 \Rightarrow 16\%$$

2) 16/ Junio/2014

CPU palabra 64 bits
Direccionamiento byte
4 GB direcciones
AccMp = 40 ns

memoria Virtual

• Páginas de 4KB y 4 niveles de tablas de páginas
(cada entrada de cada tabla de página 1 palabra)
• TLBs { instrucciones 16 entradas asociativas
 datos 16 entradas asociativas
 $t_{acc} = 1 \text{ ns}$

a) Código anterior [entradas de TLB (dato)]

$$\frac{32f \times 32co \times 8B/eleme}{4KB/página} = \frac{2^{13}}{2^{12}} = 2 \text{ páginas/matriz}$$

$$MD = 2 \text{ páginas}$$

$$MB = 2 \text{ páginas}$$

$$\frac{32f \times 8B/eleme}{4KB/página} = \frac{2^8}{2^{12}} = 1 \text{ página vector}$$

$$V = 1 \text{ página}$$

16 páginas TLB usaremos 5 páginas

b) ¿Solapar el acc McaD con acceso a la TLB?

3

página = 4KB = $2^{12}B \Rightarrow 12 \text{ bits}$
~~14 bits~~

MaD = 9 bits (conjunto) + 5 bits (Byte por bloque) = 14 bits

No se pueden solapar

12 bits página no se pueden traducir los 14 bits de cache

c) t_{\min}^{acc} , t_{\max}^{acc} , t_{\min}^{ocup} y t_{\max}^{ocup}

Supón
3 fallos de página
acceso R y W

$t_{\min}^{\text{acc}} = T_{\text{TLB}} + T_{\text{Mca}} = 1\text{ns} + 2\text{ns} = 3\text{ns}$ [Acierto en TLB y Mca]

$t_{\max}^{\text{acc}} = T_{\text{TLB}} + T_{\text{TP's}} + T_{\text{Mca}} + T_{\text{mp}} = 1\text{ns} + 4 \times 40\text{ns} + 2\text{ns} + 40\text{ns} = 203\text{ns}$

[Fallo en TLB y Fallo en Mca]
 $[N^{\circ} \text{ niveles} \times T_{\text{achp}}]$

$T_{\max}^{\text{ocup R}} = T_{\text{TLB}} + T_{\text{TP's}} + T_{\text{Mca}} + T_{\text{Mp} \rightarrow \text{Mca}} = 1\text{ns} + 4 \times 40\text{ns} + 2\text{ns} + 55\text{ns} = 218\text{ns}$

$T_{\max}^{\text{ocup W}} = T_{\text{TLB}} + T_{\text{TP's}} + T_{\text{Mca}} + T_{\text{MP}} + T_{\text{NP} \rightarrow \text{Mca}} = 1\text{ns} + 4 \times 40\text{ns} + 2 + 40 + 55 = 288\text{ns}$

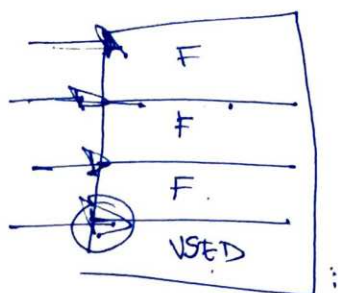
d)

$t_{\max}^{\text{acc}} = T_{\text{TLB}} + T_{\text{TP's}} + T_{\text{Mca}} + T_{\text{MP}} = 1\text{ns} + 40\text{ns} + 2 + 40\text{ns} = 83\text{ns}$

(1 nivel)

Al solo haber 1 página y al producirse 1 fallo en la misma, el tiempo de acceso se reduce

* ventajas: al tener la MV en 4 niveles solo usamos 1 para el programa a ejecutar, para de esta manera tener 3 niveles libres para otros usos



1) 28/Abril/2014

CPU

- palabras de 64 bits
- Direccionamiento a byte

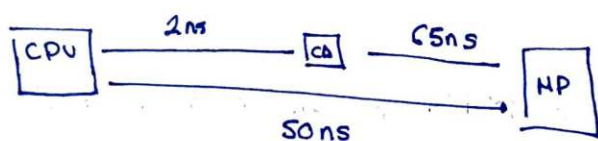
• Direcciones físicas 40 bits

MCaD y MCaI

- Capacidad 64 KB
- $t_{acc} = 2ns$
- R out of order fetch
- W CBWA \rightarrow Fallo W $\left\{ \begin{array}{l} 1^a B \rightarrow HCa \\ 2^a W \text{ en HCa} \end{array} \right.$
- $T_{HP \rightarrow HCa} = 65ns$

- Bloques de 64B
- Asociativa Conjunto 4 Bloques
- Reemplazo LRU

$T_{mp} = 50ns$



Matrices 64×32 8B/elemento

M_p = filas

$\Rightarrow B$ no todos los elementos

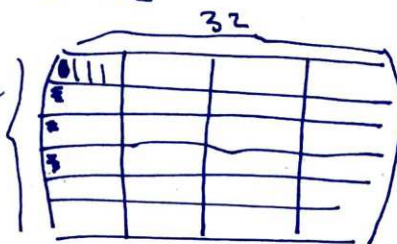
a) Tamaño Matriz $\Delta, B, C = \frac{64f \times 32c \times 8B/elemento}{1} = 16.384 \text{ bytes} = 2^{14} B$

Tamaño en $M_p = \frac{\text{tamaño Matriz}}{\text{tamaño Bloque}} = \frac{2^{14}}{2^6} = 2^8 = 256$ bloques en M_p

* Pero de B solo hacemos referencia a 32

Tamaño Matriz B = $32c \times 8B/elemento = 256 = 2^8 B$

Tamaño en $M_p = \frac{2^8 B}{2^6 B/Bloque} = 2^2 = 4$ bloques en M_p



Tamaño Total $M_p = m_\Delta + m_B + m_C = 256 + 32 + 256 = 544$ Bloques

Tamaño MCaD = $\frac{\text{Capacidad}}{\text{tamaño Bloque}} = \frac{64KB}{64B/Bloque} = 2^{10} = 1.024$ Bloque

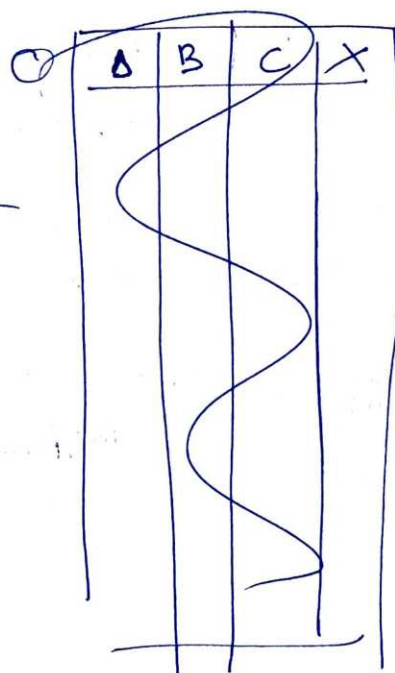
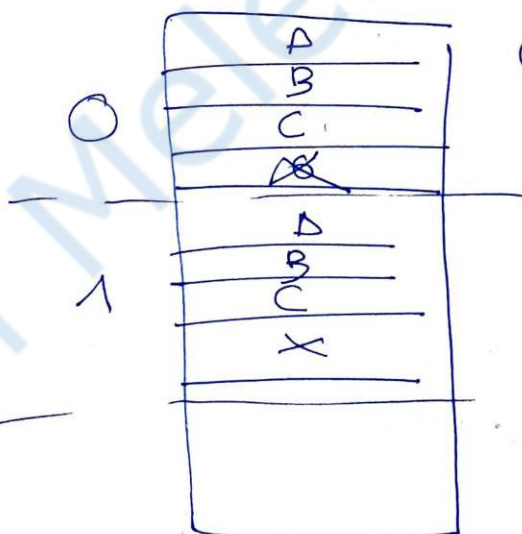
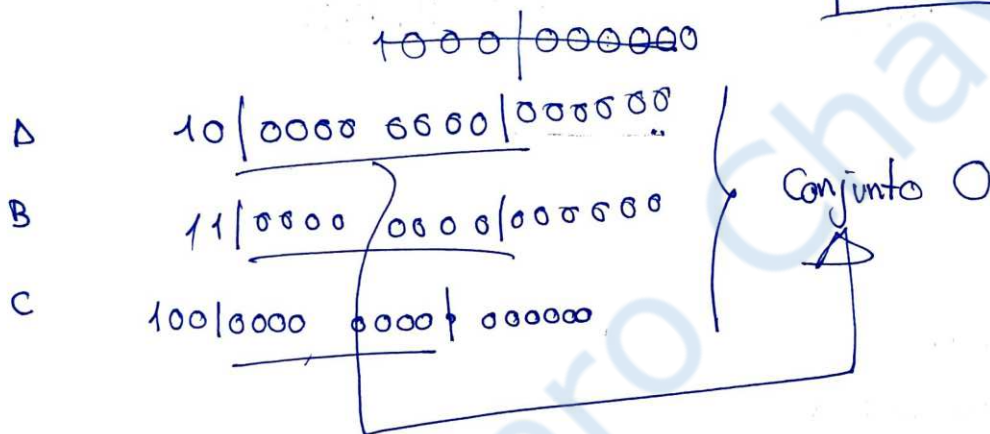
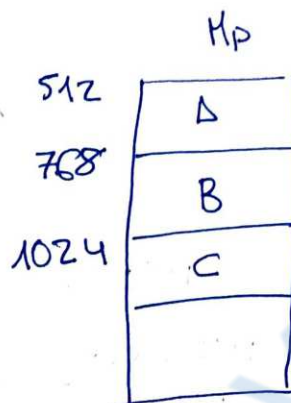
Hueco de sobra

26	8	6	4
Etiqueta	Conjunto	Byte por Bloque	

④

$$64 \text{ B/Block} = 2^6$$

$$2^9 = 512$$
$$2^{10} = 1024$$



c) N° Aciertos y fallos, Hit Ratio

N° Accesos

Escribora
1x32x64

2048

Lectura
 $\frac{1 \times 32 \times 64}{A} + \frac{32 \times 64}{B/B}$

~~2080~~ 4096 = 6144 accesos

N° Aciertos = N° Accesos - N° Fallos = 6144 - 544 fallos = 5600 aciertos

$$\text{HitRatio} = \frac{N^{\circ} \text{Aciertos}}{N^{\circ} \text{Accesos}} = \frac{5600}{6144} = \underline{\underline{91.14\%}}$$

d) Explicación en la solución

8

② 28/Abril/2014

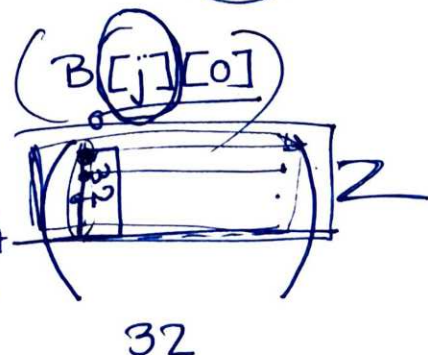
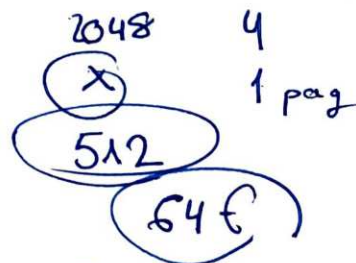
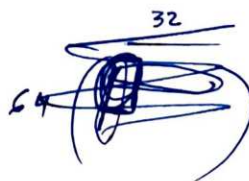
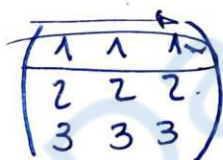
Memoria Virtual Paginada

- Páginas de 4KB y 3 niveles
- TLB con $t_{acc} = 1ns$

a) Número de páginas de la TLB

matriz ~~A~~ ~~B~~ ~~C~~ ~~D~~ ~~E~~ ~~F~~ ~~G~~ ~~H~~ ~~I~~ ~~J~~ ~~K~~ ~~L~~ ~~M~~ ~~N~~ ~~O~~ ~~P~~ ~~Q~~ ~~R~~ ~~S~~ ~~T~~ ~~U~~ ~~V~~ ~~W~~ ~~X~~ ~~Y~~ ~~Z~~

$$\text{Páginas Matriz} = \frac{64f \times 32c \times 8B/\text{elem}}{4KB/\text{página} \cdot \frac{1024B}{1KB}} = 4 \text{ páginas} \rightarrow 12 \text{ pági}$$



* Matriz A y C 1 página, porque recorremos las filas tal y como están almacenadas de esa manera podemos olvidar los datos leídos ya

* Matriz B necesita 2

b) t_{\min} y t_{\max} acceso

$$t_{\min}^{(\text{acc})} = T_{\text{TLB}} + T_{\text{Mca}} = 1 + 2 = 3 \text{ ns}$$

$$\begin{aligned} t_{\max}^{(\text{Escritura})} &= T_{\text{TLB}} + T_{\text{tp's}} + T_{\text{Mca}} + T_{\text{bly Mca} \rightarrow \text{Mp}} \times Z + T_{\text{Mca}} = \\ &= 1 + 3 \times 50 + 2 + 65 \times 2 + 2 = 285 \text{ ns} \end{aligned}$$

t_{\max}

2 8/Noviembre / 2013

CPU

- 32 bits \Rightarrow
- cached y I

- Capacidad 16 kbytes
- 16 B/Bloque ~~$\rightarrow 16 \text{ B/Bloque}$~~ $\rightarrow 2^4 = 16$
- Asociativa por conjunto 2 Bloques
- Política de reemplazo FIFO
- " " Lectura COF
- " " escritura CBWA

• Fallos escritura \Rightarrow 1º modifica en M_y y 2º $T_{Mp} \rightarrow M_{Ca}$

• $t_{acc} = 2ns$

$N_p = 8$ módulos

$t_{acc_{mp}} = 40ns$ $t_{LE} \frac{180}{4_{pala}} = 60ns$

a = 2000 H

b = 4000 H

c = 6000 H

a)

$$\frac{B}{Bloque} = \frac{16 \text{ kByte} \cdot \frac{1024B}{1KB}}{16 B/Bloque} = 1024 \text{ Bloque} = 2^{10}$$

$$\text{Conjunto} = \frac{2^{10}}{2^8 / \text{Conjunto}} = 512 \text{ conjuntos} = 2^9$$

10	9	4
Etiqu	Conju	Byte
2000		

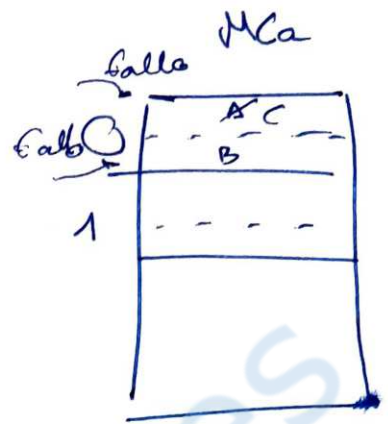
00 1/0 00 0/0 00 00/0000

00 10/0 0000 4000
0000 | 0000

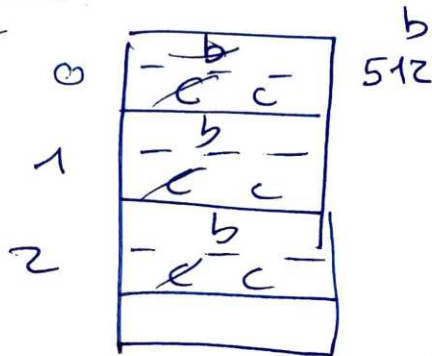
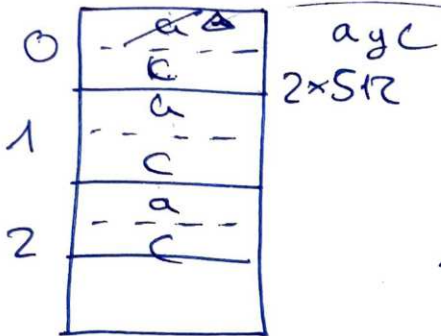
00 11/0 0000 6000
0000 | 0000

$$N^{\circ} \text{ Bloq vect} = \frac{2048 \times 4 \text{ B/elemento}}{16 \text{ B/Bloque}} = 512 \text{ Bloques}$$

~~11 Bloques~~ Tasa de Aciertos = 0



b) Tasa de aciertos y n° reemplazados



2048

16	16	16	16
----	----	----	----

128 Bloques

Lectura
 $1 \times 2048 + 2 \times 2048$
 6144

Escritura
 2×2048
 4096 = 10240 accesos

$$N^{\circ} \text{ Bloq Vector} = \frac{2048 \cdot 4 \text{ B/elemento}}{16 \text{ B/Bloque}} = 512 \text{ Bloques}$$

$$M_f = \frac{N^{\circ} \text{ Fallos}}{N^{\circ} \text{ accesos}} = \frac{2 \cdot 512 + 512}{10240} = 0,85$$

c) tiempo total de acceso a memoria

$$t_{\text{aciertos}} = N^{\circ} \text{ aciertos} \times t_{\text{mca}} = (10240 - 3 \times 512) \times 2 \text{ ns} = 17.408 \text{ ns}$$

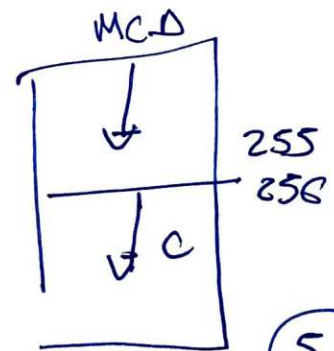
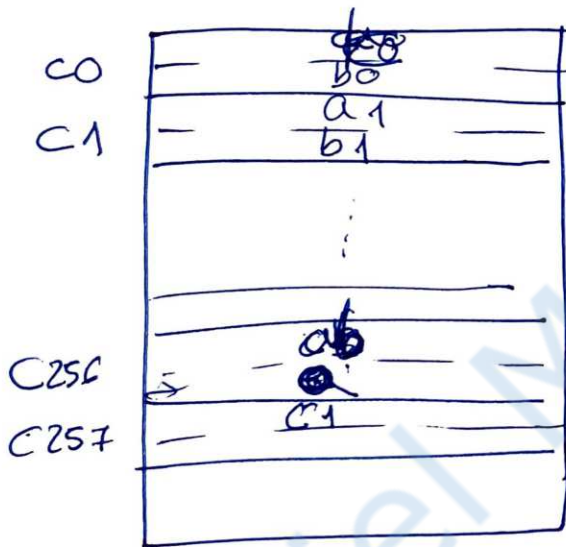
$$t_{\text{fallos}} = N^{\circ} \text{ fallos} \times (t_{\text{cache}} + t_{\text{mp}}) = 3 \times 512 \times (2 \text{ ns} + 40 \text{ ns}) = 64.512 \text{ ns}$$

$$t_{\text{total}} = 81920 \text{ ns}$$

$$t_{\text{total}} = t_{\text{circuitos}} + t_{\text{fl}} + t_{\text{fe}} = \underline{133.120 \text{ ns}}$$

e) 7000 €

0 1 1/1 0000 0000/0000



$$M_r = \frac{N_{\text{Fallos}}}{N_{\text{Acces}}} = \frac{3.512}{2048.3} = 0,25$$

$$H_r = 0,75 \Rightarrow 75\%$$

3) 8/Noviembre/2013

Memoria Virtual

- Espacio virtual direccionable: 64 TB
- 3 niveles de tabla
- Entradas de las tablas de página 1 palabra
- Sendas TLB's D e I $t_{acc} = 1ns$

a) como interpreta las direcciones



$$64 \text{ TB} \cdot \frac{1024 \text{ GB}}{1 \text{ TB}} \cdot \frac{1024 \text{ MB}}{1 \text{ GB}} \cdot \frac{1024 \text{ KB}}{1 \text{ MB}} \cdot \frac{1024 \text{ B}}{1 \text{ KB}} = 2^{46}$$

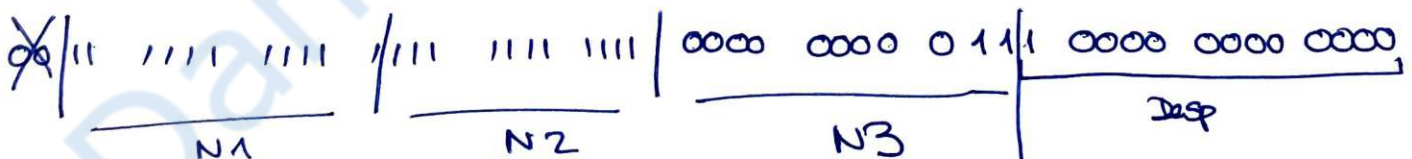
b) t_{min}^{acc} y t_{max}^{acc} * ningún fallo en página

$$t_{min}^{acc} = T_{TLB} + \cancel{T_{Mca}} = \cancel{1ns} + \cancel{2ns} = \cancel{3ns} \quad \text{porque se puede solapar con cache}$$

$$t_{max} = T_{TLB} + T_{p's} + T_{Mca} + T_{MP} =$$

$$t_{max} = 1ns + 3 \times 40 + 2ns + 40ns + 60ns = 223ns$$

c) $C = 3FFFFFF007000H$



2 páginas

③ 8/Enero/2014

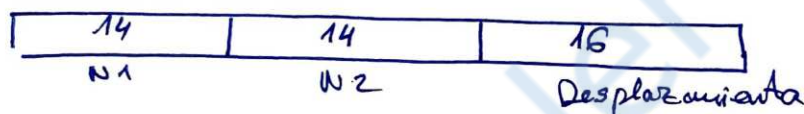
CPU

direcciones físicas 32 bits

- Direcciones virtuales 44 bits, 2 niveles, 2^{14} entradas
1º nivel de tabla y páginas de 64 KB.
- 2 TLB asociativas; TLB i 4 ent y TLB d 4 entra
- Mca I: 128 KB, directa, 32B/Bloque P.L. (00F)
- Mca D: 256 KB, asociativa conjunto 8 bloques / 32B/Bloque
P.E = WTWNW
P.L = 00F

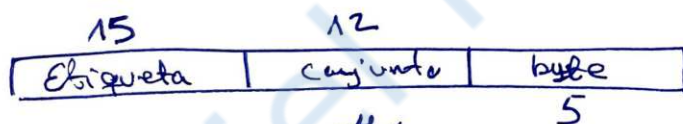
a) Formato direcciones virtuales

14 N1 14 N2 16 Despla



b) Formato direcciones físicas de cada cache

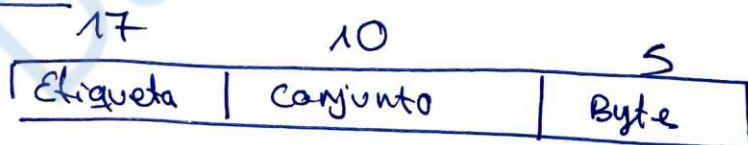
Mca I



17 → NO

$$\text{Conjunto} = \frac{2^{15} / 32\text{B/Bloque}}{1} = 2^{12}$$

Mca D



15 ≤ desplaza

$$256 \text{ KB} \cdot \frac{1024 \text{ B}}{1 \text{ KB}} = 2^{18}$$

$$\text{Conjunto} = \frac{2^{18} / 32\text{B/Bloque}}{8 \text{ Bloque/conjunto}} = 10$$

c) em MCD $15 \leq \text{Desplac}$
em MCI ~~$15 \leq \text{Desplac}$~~ NO

d) Tasa de aciertos de TLB

CAI 128 KB

CAD 256 KB

páginas = 2^{16} B
65536

$$256 \text{ KB} \cdot \frac{1024 \text{ B}}{1 \text{ KB}}$$

8B/Bloque

1) 17/ Junio/ 2013

- Palabra 32 bits
- Direcccionamiento a nivel de byte

MP

$t_{acc} = 50ns$

McaD 1 nivel

- Capacidad 32 KB
- 16 B/Bloque
- $t_{acc} = 1ns$
- Directa
- P.L. 00F
- PE CBWA

- Fallo Escritura $\Rightarrow t_{mp} + t_{mp \rightarrow mca}$
- $t_{mp \rightarrow mca} = 80ns$

• Matrices almacenadas por filas

$A = 4'8000 \quad B \text{ y } C$

a)
$$\text{Matriz} = \frac{4096 \times \cancel{4}B/\text{elemente}}{16B/\text{bloque}} = 2^{10} = 1024 \text{ bloques}$$

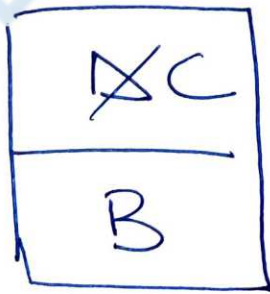
b) 32 bits \approx Suponemos

Etiqueta	Conjunto	B/bloque
17	11	4

$$\text{Conjunto} = \frac{32KB \cdot \frac{1024B}{1KB}}{16B/\text{bloque}} = 2^{11}$$

2048 Bloques
Cache

Cache 8000 $\xrightarrow{\text{Conjunto 0}}$
1 | 000 0000 0000 | 0000



c) N° Aciertos y N° Fallos (L y E) Hit Ratio

Pr Mod
t_{ocup}

N° Accesos

N° Aciertos

N° Accesos =

$$2 \times 32 \times 64$$

$$4096$$

$$32 \times 64$$

$$2048 = 6144$$

$$\begin{matrix} L \\ A \\ 2048 \\ \textcircled{F} \end{matrix}$$

$$\begin{matrix} L & L \\ B & \\ 2048 & \\ \textcircled{A} & \textcircled{F} \\ 1024 & 1024 \end{matrix}$$

$$\begin{matrix} E \\ C \\ 2048 \\ \textcircled{F} \end{matrix}$$

$$N^{\circ} \text{ Aciertos} = 1024$$

$$N^{\circ} \text{ Fallos} = 5120$$

$$\text{Hit Ratio} = \frac{1024}{6144} = 0,166$$

16,6%

$$Pr \text{ Mod} = 0$$

$$\bar{t}_{ocup} = \frac{1024 \text{ ac} \times \bar{t}_{acc} + FL (2048 + 1024) \times (t_{acce} + t_{mp+acc}) + FE}{N^{\circ} \text{ accesos}}$$

$$\bar{t}_{ocup}$$

$$= \frac{\text{Aciertos} \cdot t_{mca} + FL \cdot (t_{mca} + t_{mp+acc}) + FE (t_{mca} + t_{mp} + t_{up+ca})}{N^{\circ} \text{ accesos}}$$